

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-261448

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

H05K 3/46
H01L 25/00
H05K 1/02
H05K 1/11
H05K 1/18

(21)Application number : 2001-367688

(71)Applicant : NGK SPARK PLUG CO LTD

(22)Date of filing : 30.11.2001

(72)Inventor : OGAWA KOJU
SUGIMOTO YASUHIRO

(30)Priority

Priority number : 2000377926 Priority date : 12.12.2000 Priority country : JP
2000402498 28.12.2000

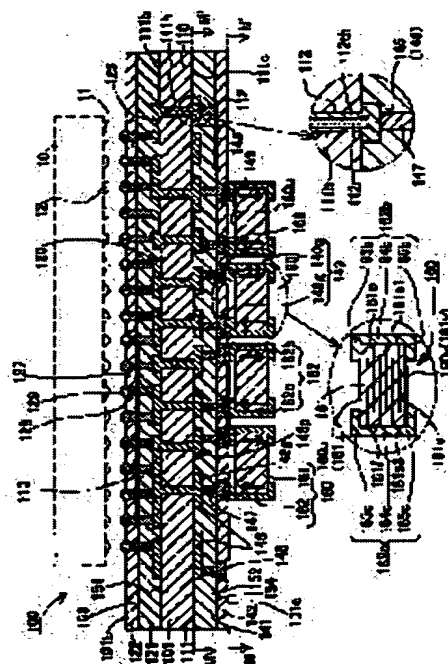
JP

(54) WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wiring board that makes the connection between electronic components mounted on its main surface and a chip capacitor mounted on its rear surface easier.

SOLUTION: The wiring board 100 mounted with the chip capacitor 160 on its rear surface 101c has bumps 129 which can be connected to an IC chip 10, first and second capacitor connecting pads 149p and 149g which are connected to the upper surface sections 163 of the terminals 162 of the capacitor 160, a plurality of insulating layers 121, 111, and 141 interposed between the bumps 129 and pads 149p and 149g. The wiring board 100 also has first and second converting conductor layers 146p and 146g which are formed on the boundary 152 between the insulating layers 111 and 141, are connected to the bumps 129 on the main surface 101b side and to the first or second capacitor connecting pads 149p or 149g on the rear surface 101c side, and converts the connected positions and connected numbers on the main and rear surface sides. The layers 146p and 146g are formed in stripe-like patterns.



LEGAL STATUS

[Date of request for examination] 19.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-261448

(P2002-261448A)

(43)公開日 平成14年9月13日(2002.9.13)

(51)Int.Cl.⁷

識別記号

F I

ターコード^{*}(参考)

H 0 5 K 3/46

H 0 5 K 3/46

N 5 E 3 1 7

H 0 1 L 25/00

H 0 1 L 25/00

Q 5 E 3 3 6

H 0 5 K 1/02

H 0 5 K 1/02

Z 5 E 3 3 8

B 5 E 3 4 6

J

審査請求 未請求 請求項の数 9 O L (全 27 頁) 最終頁に続く

(21)出願番号 特願2001-367688(P2001-367688)

(22)出願日 平成13年11月30日(2001.11.30)

(31)優先権主張番号 特願2000-377926(P2000-377926)

(32)優先日 平成12年12月12日(2000.12.12)

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願2000-402498(P2000-402498)

(32)優先日 平成12年12月28日(2000.12.28)

(33)優先権主張国 日本(J P)

(71)出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市瑞穂区高辻町14番18号

(72)発明者 小川 幸樹

愛知県名古屋市瑞穂区高辻町14番18号 日

本特殊陶業株式会社内

(72)発明者 杉本 康宏

愛知県名古屋市瑞穂区高辻町14番18号 日

本特殊陶業株式会社内

(74)代理人 100104167

弁理士 奥田 誠 (外2名)

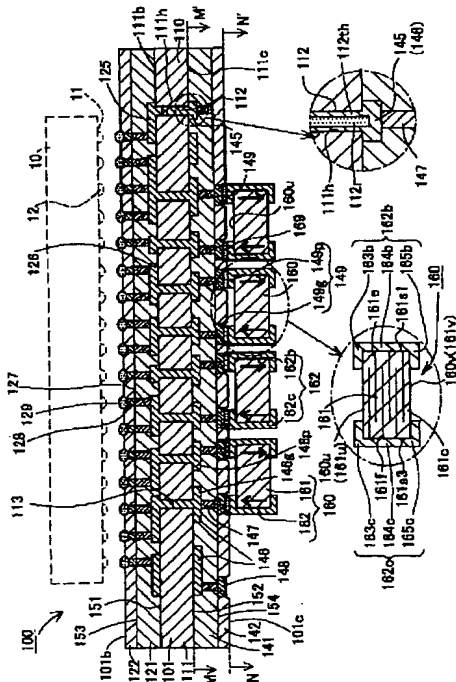
最終頁に続く

(54)【発明の名称】 配線基板

(57)【要約】

【課題】 配線基板の主面側に搭載した電子部品と裏面側に搭載したチップコンデンサとの接続を容易とした配線基板を提供すること。

【解決手段】 裏面101c側にチップコンデンサ160を搭載する配線基板100は、ICチップ10と接続可能なバンプ129と、チップコンデンサ160の端子162の上面部163と接続する第1、第2コンデンサ接続パッド149p、149gと、これらの間に介在する複数の絶縁層121、111、141と、層間152に形成され、主面101b側でバンプ129と接続し、裏面101c側で第1コンデンサ接続パッド149p、あるいは第2コンデンサ接続パッド149gと接続して、主面側と裏面側での接続位置や接続数を変換するストライプ状パターンの第1、第2変換導体層146p、146gを有する。



【特許請求の範囲】

【請求項1】主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子とそれぞれ接続可能な複数の主面側接続端子と、上記裏面側に搭載されており、コンデンサを構成する一方の電極及び他方の電極を備えるチップコンデンサであって、

上記主面側を向く第1面、

上記第1面に形成され、上記一方の電極と接続する少なくとも1つの第1端子、及び、

上記第1面に形成され、上記他方の電極と接続する少なくとも1つの第2端子、

を有する少なくとも1つのチップコンデンサと、

上記裏面側に形成され、上記チップコンデンサの第1端子とそれぞれ接続する第1コンデンサ接続端子と、

上記裏面側に形成され、上記チップコンデンサの第2端子とそれぞれ接続する第2コンデンサ接続端子と、

上記主面側接続端子と上記第1コンデンサ接続端子及び第2コンデンサ接続端子との間に介在する複数の絶縁層と、

上記絶縁層同士の層間から選ばれた特定層間に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第1コンデンサ接続端子と接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第1変換導体層と、

上記第1変換導体層と絶縁しつつ上記特定層間に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第2コンデンサ接続端子と接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第2変換導体層と、

を備える配線基板。

【請求項2】請求項1に記載の配線基板であって、前記特定層間として、前記絶縁層同士の層間のうち前記第1コンデンサ接続端子及び第2コンデンサ接続端子に最も近い層間を選択し、

前記主面側接続端子のうち前記第1変換導体層及び第2変換導体層のいずれかに接続する主面側接続端子の数が、前記第1変換導体層に接続する前記第1コンデンサ接続端子の数と前記第2変換導体層に接続する前記第2コンデンサ接続端子の数の和よりも多い配線基板。

【請求項3】請求項1または請求項2に記載の配線基板であって、

前記第1変換導体層に裏面側から接続する前記第1コンデンサ接続端子の少なくとも一部は、接続する当該第1変換導体層を前記第1面側に投影した領域内に位置し、前記第1コンデンサ接続端子と前記第1変換導体層とは、前記絶縁層を貫通するビア導体によって接続され、前記第2変換導体層に裏面側から接続する前記第2コンデンサ接続端子の少なくとも一部は、接続する当該第2変換導体層を前記第1面側に投影した領域内に位置し、

前記第2コンデンサ接続端子と前記第2変換導体層とは、前記絶縁層を貫通するビア導体によって接続されている配線基板。

【請求項4】主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子とそれぞれ接続可能な複数の主面側接続端子と、上記裏面側に搭載されており、コンデンサを構成する一方の電極及び他方の電極を備えるチップコンデンサであって、

10 上記主面側を向く第1面、

上記第1面に形成され、上記一方の電極と接続する少なくとも1つの第1端子、及び、

上記第1面に形成され、上記他方の電極と接続する少なくとも1つの第2端子、

を有する少なくとも1つのチップコンデンサと、

上記主面側接続端子と上記チップコンデンサの第1端子及び第2端子との間に介在する少なくとも1つの絶縁層と、

20 上記絶縁層のうち最も裏面側に位置する最裏面側絶縁層の裏面に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第1端子と直接または通電接続材を介して接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第1変換導体層と、

上記第1変換導体層と絶縁しつつ上記最裏面側絶縁層の裏面側に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第2端子と直接または上記通電接続材を介して接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第2変換導体層と、を備える配線基板。

30 【請求項5】請求項4に記載の配線基板であって、前記主面側接続端子のうち前記第1変換導体層及び第2変換導体層のいずれかに接続する主面側接続端子の数が、前記第1変換導体層に接続する前記第1端子の数と前記第2変換導体層に接続する前記第2端子の数の和よりも多い配線基板。

【請求項6】請求項1～請求項5のいずれか一項に記載の配線基板であって、

40 前記第1変換導体層と第2変換導体層とは、交互に並ぶストライプ状パターン部分を有する配線基板。

【請求項7】請求項6に記載の配線基板であって、前記第1変換導体層と前記第2変換導体層とは、前記ストライプ状パターン部分において、前記チップコンデンサの充放電の際に流れる電流の向きが互いに逆向きとなる逆向き電流部分を有する配線基板。

【請求項8】請求項1～請求項7のいずれか一項に記載の配線基板であって、

50 前記絶縁層より前記裏面側に位置し、上記裏面側に開口する凹部の壁面を構成する凹周囲部を有し、前記第1コンデンサ端子と前記第2コンデンサ端子と

は、上記凹部の底面に形成され、

前記チップコンデンサは、上記凹部の底面と上記チップコンデンサの前記第1面とが対向して、上記凹部内に搭載されている配線基板。

【請求項9】請求項8に記載の配線基板であって、前記主面側に位置する第1コア部とこれより前記裏面側に位置する第2コア部とを含むコア基板であって、上記第1コア部は前記絶縁層に含まれ、上記第2コア部は前記凹周囲部に含まれるコア基板を有し、

上記絶縁層は、最も前記裏面側に位置する上記第1コア部と、これより主面側に積層されてなる1または複数の樹脂絶縁層とからなり、

前記凹周囲部は、上記第2コア部を含み、上記第2コア部の上記裏面側に裏面絶縁層を有さないか、または上記樹脂絶縁層より少ない層数の上記裏面絶縁層を有する配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品を搭載するための配線基板、特にチップコンデンサを裏面側に搭載した配線基板に関する。

【0002】

【従来の技術】集積回路技術の進歩によりますますICチップの動作が高速化されているが、それに伴い、電源配線等にノイズが重畳されて、誤動作を引き起こすことがある。そこでノイズ除去のため、例えば図22に示すように、ICチップ1を搭載する配線基板2の主面2bあるいは裏面2cに、別途、チップコンデンサ3を搭載し、コンデンサ3の2つの電極とそれぞれ接続するコンデンサ接続配線4を配線基板2の内部に設ける。これにより、コンデンサ接続配線4及びフリップチップパッド5を経由してチップコンデンサ3をICチップ1の電源端子や接地端子に接続することが行われている。

【0003】

【発明が解決しようとする課題】しかしながら、上記の手法では、配線基板2内にチップコンデンサ3と接続するコンデンサ接続配線4を引き回す必要がある。ICチップ1の端子配置などが変更になるとコンデンサ接続配線4を含めた配線全体を設計し直す必要があった。特に集積度の高いICチップなどでは、多数の電源端子や接地端子を形成することが多く、引き回しが複雑になりやすい。さらに、多数のチップコンデンサを搭載したい場合、あるいは多数の端子を有するチップコンデンサに接続したい場合などにも、配線の引き回しが複雑になりやすい。本発明は、かかる問題点を鑑みてなされたものであって、配線基板の主面側に搭載した電子部品と裏面側に搭載したチップコンデンサとの接続を容易とした配線基板を提供することを目的とする。

【0004】

【課題を解決するための手段、作用及び効果】そしてそ

の解決手段は、主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子とそれぞれ接続可能な複数の主面側接続端子と、上記裏面側に搭載されており、コンデンサを構成する一方の電極及び他方の電極を備えるチップコンデンサであって、上記主面側を向く第1面、上記第1面に形成され、上記一方の電極と接続する少なくとも1つの第1端子、及び、上記第1面に形成され、上記他方の電極と接続する少なくとも1つの第2端子、を有する少なくとも1つのチップコンデンサと、上記裏面側に形成され、上記チップコンデンサの第1端子とそれぞれ接続する第1コンデンサ接続端子と、上記裏面側に形成され、上記チップコンデンサの第2端子とそれぞれ接続する第2コンデンサ接続端子と、上記主面側接続端子と上記第1コンデンサ接続端子及び第2コンデンサ接続端子との間に介在する複数の絶縁層と、上記絶縁層同士の層間から選ばれた特定層間に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第1コンデンサ接続端子と接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第1変換導体層と、上記第1変換導体層と絶縁しつつ上記特定層間に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第2コンデンサ接続端子と接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第2変換導体層と、を備える配線基板である。

【0005】本発明の配線基板では、同じ特定層間に主面側と裏面側での接続位置や接続数変換する第1、第2変換導体層が形成されている。この第1変換導体層は、主面側で主面側接続端子と接続し、裏面側で第1コンデンサ接続端子と接続する。また、第2変換導体層は、主面側で主面側接続端子と接続し、裏面側で第2コンデンサ接続端子と接続する。このため、主面側接続端子と第1、第2コンデンサ接続端子との間の接続が容易にできる。従って、電子部品の端子とチップコンデンサの第1、第2端子との間の接続が容易にできる。

【0006】なお、チップコンデンサとしては、配線基板に搭載できるものであればいずれのものでも良いが、例えば、積層セラミックタイプや、電解コンデンサタイプ、フィルムコンデンサタイプのものなどが挙げられる。特に、積層セラミックタイプのチップコンデンサは、周波数特性も良好である点、また、熱が掛かるなどしても特性が比較的安定である。

【0007】また、チップコンデンサの第1面に形成される第1、第2端子は、多数形成されるものが好ましい。多数形成することで第1、第2変換導体層と並列に接続ができるので、第1、第2変換導体層とチップコンデンサとの間の配線で生じる抵抗やインダクタンスをより一層低減することができるからである。従って、チップコンデンサの第1、第2端子は、第1面の周縁に形成

されているものでも良いが、さらには第1面内に例えば格子状などに配置されているものが好ましい。また、ある第1端子から見て、これに最も近接する端子が第2端子となるように、第1端子と第2端子とが交互に配置されているものがより好ましい。チップコンデンサからの電荷の充放電に際して第1端子を経由して流れる電流と第2端子を経由して流れる電流とは、その向きが逆向きとなるので、この部分でもインダクタンスを低減できるからである。

【0008】さらに、配線基板としては、エポキシ樹脂、ポリイミド樹脂、BT樹脂、PPE樹脂などの樹脂や、これらの樹脂とガラス繊維やポリエステル繊維などの繊維との複合材料、三次元網目構造のフッ素樹脂にエポキシ樹脂などを含ませた樹脂複合材料を用いたものが挙げられる。さらに、アルミナ、ムライト、窒化アルミニウム、ガラスセラミックなどからなるセラミック基板、セラミック基板とこれらの樹脂や複合材料とを組み合わせたものなどが挙げられる。また、主面側接続端子や第1、第2コンデンサ接続端子の周囲には、相互間の絶縁を確実にし、ハンダ等の濡れ拡がりを防止するため

20 ソルダレジスト層を形成することもできる。
【0009】さらに、上記配線基板であって、前記特定層間として、前記絶縁層同士の層間のうち前記第1コンデンサ接続端子及び第2コンデンサ接続端子に最も近い層間を選択し、前記主面側接続端子のうち前記第1変換導体層及び第2変換導体層のいずれかに接続する主面側接続端子の数が、前記第1変換導体層に接続する前記第1コンデンサ接続端子の数と前記第2変換導体層に接続する前記第2コンデンサ接続端子の数の和よりも多い配線基板とすると良い。

【0010】主面側接続端子と第1、第2コンデンサ接続端子（チップコンデンサの第1、第2端子）とを結ぶ接続配線は、並列な経路が多いほど、抵抗値やインダクタンスを抑えることができる。従って、第1、第2変換導体層から見て、これらに接続する主面側接続端子の数と第1、第2コンデンサ接続端子の数（第1コンデンサ接続端子と第2コンデンサ接続端子の数の和）を比較し、数の少ない側の接続配線を短くする方が抵抗やインダクタンスに関して有利となる。従って、第1コンデンサ接続端子及び第2コンデンサ接続端子の数よりも、主面側接続端子のうち第1変換導体層及び第2変換導体層に接続する数の多い場合には、第1、第2変換導体層をできるだけ第1、第2コンデンサ接続端子近く、つまりチップコンデンサの近くに配置するのが好ましくなる。

【0011】本発明では、特定層間として、絶縁層同士の層間のうち第1コンデンサ接続端子及び第2コンデンサ接続端子に最も近い層間を選択しているため、第1、第2変換導体層と、第1、第2コンデンサ接続端子とは最も接近して配置されていることになる。従って、主面

側接続端子とチップコンデンサの第1、第2端子との間の抵抗やインダクタンスを小さくすることができる。なお、高集積のICチップを搭載する配線基板の場合には、主面側接続端子の数が多くなることが多い。高集積のICチップでは、多数の電源端子や接地端子を設けることが多いからである。従って、高集積のICチップを搭載する場合に本発明を適用するのが好ましい。

【0012】さらに上記いずれかに記載の配線基板であって、前記第1変換導体層に裏面側から接続する前記第1コンデンサ接続端子の少なくとも一部は、接続する当該第1変換導体層を前記第1面側に投影した領域内に位置し、前記第1コンデンサ接続端子と前記第1変換導体層とは、前記絶縁層を貫通するビア導体によって接続され、前記第2変換導体層に裏面側から接続する前記第2コンデンサ接続端子の少なくとも一部は、接続する当該第2変換導体層を前記第1面側に投影した領域内に位置し、前記第2コンデンサ接続端子と前記第2変換導体層とは、前記絶縁層を貫通するビア導体によって接続されている配線基板とすると良い。

【0013】本発明の配線基板では、チップコンデンサのうち、第1変換導体層と接続する第1コンデンサ接続端子の少なくとも一部は、接続する当該第1変換導体層をチップコンデンサの第1面に投影した領域内に位置する。逆に、ある第1コンデンサ接続端子から見ると、これに接続する第1変換導体層が主面側まっすぐ上に位置することになる。そして、この第1コンデンサ接続端子と第1変換導体層とは、絶縁層間に形成される配線層よりも低抵抗、低インダクタンスとなるビア導体によって、具体的には、第1変換導体層から裏面側に向かって絶縁層を貫通して垂直に延びるビア導体によって接続されている。従って、この第1コンデンサ接続端子と第1変換導体層とは、低抵抗や低インダクタンスで接続することができる。

【0014】同様に、第2変換導体層に裏面側で接続する第2コンデンサ接続端子の少なくとも一部は、接続する当該第2変換導体層をチップコンデンサの第1面に投影した領域内に位置する。逆に、ある第2コンデンサ接続端子から見ると、これに接続する第2変換導体層が主面側まっすぐ上に位置することになる。そして、この第2コンデンサ接続端子と第2変換導体層とは、第2変換導体層から裏面側に向かって絶縁層を貫通して垂直に延びるビア導体によって、接続されている。従って、この第2コンデンサ接続端子と第2変換導体層も、低抵抗や低インダクタンスで接続することができる。

【0015】さらに他の解決手段は、主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子とそれぞれ接続可能な複数の主面側接続端子と、上記裏面側に搭載されており、コンデンサを構成する一方の電極及び他方の電極を備えるチップコンデンサであって、上記主面側を向く第1

面、上記第1面に形成され、上記一方の電極と接続する少なくとも1つの第1端子、及び、上記第1面に形成され、上記他方の電極と接続する少なくとも1つの第2端子、を有する少なくとも1つのチップコンデンサと、上記主面側接続端子と上記チップコンデンサの第1端子及び第2端子との間に介在する少なくとも1つの絶縁層と、上記絶縁層のうち最も裏面側に位置する最裏面側絶縁層の裏面に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第1端子と直接または通電接続材を介して接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第1変換導体層と、上記第1変換導体層と絶縁しつつ上記最裏面側絶縁層の裏面側に形成され、主面側で複数の上記主面側接続端子と接続し、裏面側で少なくとも1つの上記第2端子と直接または上記通電接続材を介して接続して、主面側と裏面側での接続位置や接続数を変換する少なくとも1つの第2変換導体層と、を備える配線基板である。

【0016】本発明の配線基板では、最裏面側絶縁層の裏面に、主面側と裏面側での接続位置や接続数を変換する第1、第2変換導体層が形成されている。この第1変換導体層は、主面側で主面側接続端子と接続し、裏面側でチップコンデンサの第1端子と接続する。また、第2変換導体層は、主面側で主面側接続端子と接続し、裏面側でチップコンデンサの第2端子と接続する。このため、主面側接続端子、従って電子部品の端子とチップコンデンサの第1、第2端子との間の接続が容易にできる。しかも、第1、第2変換導体層は、主面側接続端子とチップコンデンサの第1端子及び第2端子との間の絶縁層のうち最も裏面側に位置する最裏面側絶縁層の裏面に形成されている。このため、チップコンデンサの第1、第2端子と第1、第2変換導体層とが最も近くなるので、この間に生じる抵抗やインダクタンスを最も小さくすることができる。さらに、第1、第2変換導体層は、ビア導体等を介さず、チップコンデンサの第1、第2端子と直接または通電接続材を介して接続している。従って、チップコンデンサの第1、第2端子と第1、第2変換導体層との接続によって生じる抵抗やインダクタンスを最も小さくすることができる。

【0017】なお、通電接続材としては、ハンダ、導電性接着剤などが挙げられる。ハンダとしては、配線基板や第1、第2端子等の材質を考慮して選択すれば良く、例えば、Pb-Sn系、Sn-Sb系などのハンダが挙げられる。また、導電性接着材としては、例えば、エポキシ樹脂などの樹脂に、カーボン粉末や銀、銅、ニッケルなどの金属粉末、これらの金属で被覆した樹脂粒子あるいはガラス粒子などからなる導線性のフィラーを分散して導電性を付与したものが挙げられる。

【0018】さらに、上記配線基板であって、前記主面側接続端子のうち前記第1変換導体層及び第2変換導

層のいずれかに接続する主面側接続端子の数が、前記第1変換導体層に接続する前記第1端子の数と前記第2変換導体層に接続する前記第2端子の数の和よりも多い配線基板とすると良い。

【0019】主面側接続端子とチップコンデンサの第1、第2端子とを結ぶ接続配線は、並列な経路が多いほど、抵抗値やインダクタンスを抑えることができる。従って、第1、第2変換導体層から見て、これらに接続する主面側接続端子の数と第1、第2端子の数の和を比較し、数の少ない側の接続配線を短くする方が抵抗やインダクタンスに関して有利となる。従って、第1端子及び第2端子の数よりも、主面側接続端子のうち第1変換導体層及び第2変換導体層に接続する数の場合が多い場合には、第1、第2変換導体層をできるだけ第1、第2端子近く、つまりチップコンデンサの近くに配置するのが好ましくなる。

【0020】本発明では、前記したように第1、第2変換導体層が最裏面側絶縁層の裏面に形成され、チップコンデンサの第1、第2端子と直接または接続材を介して接続しているため、第1、第2変換導体層とチップコンデンサの第1、第2端子とは特に近い位置に配置されていることになる。従って、主面側接続端子とチップコンデンサの第1、第2端子との間の抵抗やインダクタンスを特に小さくすることができる。なお、高集積のICチップを搭載する配線基板の場合には、主面側接続端子の数が多くなることが多い。高集積のICチップでは、多数の電源端子や接地端子を設けることが多いからである。従って、高集積のICチップを搭載する場合に本発明を適用するのが好ましい。

【0021】さらに上記いずれかに記載の配線基板であって、前記第1変換導体層と第2変換導体層とは、交互に並ぶストライプ状パターン部分を有する配線基板とすると良い。

【0022】一般にICチップなどの電子部品の接続端子やこれに対応する主面側接続端子のうち、チップコンデンサの第1端子に接続されるもの（例えば、電源電位に接続されるもの）と第2端子に接続されるもの（たとえば、接地電位に接続されるもの）とは近接して並ぶように設計・配置する場合が多い。これに対し、本発明の配線基板では第1変換導体層と第2変換導体層とがストライプ状パターン部分を有する。このストライプ状パターン部分では、第1変換導体層と第2変換導体層とが隣り合って並んでいるので、主面側接続端子が接続すべきチップコンデンサの端子（第1端子、第2端子のいずれか）に応じて、主面側接続端子から裏面側に向けてビアを用いて接続配線を延ばすと共に、必要に応じて絶縁層同士の層間において短い配線を形成するなどして目的の第1又は第2変換導体層に接続できるように位置を調整すれば良い。つまり、このストライプ状パターン部分では、主面側接続端子を、第1、第2変換導体層のいずれ

にも容易に接続でき、接続配線の設計が容易になる。

【0023】特に、チップコンデンサにおいてその第1端子及び第2端子が交互に配置されている場合には、ストライプ状パターン部分では、チップコンデンサの第1端子を第1変換導体層に、第2端子を第2変換導体層にそれぞれ容易に接続できるので、接続配線設計が容易になる。しかも、チップコンデンサの第1端子及び第2端子を交互に配置すると、インダクタンスを抑制でき流転でも好ましい。チップコンデンサから出入りする電流の向きを互いに逆向きにすることでインダクタンスを低く

【0024】さらに、上記配線基板であって、前記第1変換導体層と前記第2変換導体層とは、前記ストライプ状パターン部分において、前記チップコンデンサの充放電の際に流れる電流の向きが互いに逆向きとなる逆向き電流部分を有する配線基板とすると良い。

【0025】本発明の配線基板では、逆向き電流部分があるので、この逆向き電流部分でチップコンデンサの充放電の際に流れる電流の向きが互いに逆向きとなり、互いに磁界を打ち消しあう（負の相互インダクタンスを生じる）。従って、この部分でインダクタンスを更に抑制し、全体としてもよりインダクタンスを低くすることができる。

【0026】さらに、上記いずれかに記載の配線基板であって、前記絶縁層より前記裏面側に位置し、上記裏面側に開口する凹部の壁面を構成する凹周囲部を有し、前記第1コンデンサ端子と前記第2コンデンサ端子とは、上記凹部の底面に形成され、前記チップコンデンサは、上記凹部の底面と上記チップコンデンサの前記第1面とが対向して、上記凹部内に搭載されている配線基板と

【0027】本発明の配線基板では、第1面に第1端子及び第2端子を有するチップコンデンサを、凹部内に搭載する。従って、配線基板の主面上に搭載する電子部品とチップコンデンサとが凹部の底面を挟んで略対向するように搭載される。このため、凹部が形成されていない両面積層配線基板と比較して、配線基板の主面側接続端子とチップコンデンサの第1端子及び第2端子との距離を短くし、さらには、主面上に搭載する電子部品とチップコンデンサとの距離を短くすることができる。従って、凹部が形成されていない両面積層配線基板と比較して、短い経路で配線基板の主面側接続端子とコンデンサの第1端子及び第2端子とを接続することが可能になり、これらの経路で発生する抵抗成分やインダクタンス成分を抑制できる。

【0028】さらに、上記配線基板であって、前記主面側に位置する第1コア部とこれより前記裏面側に位置する第2コア部とを含むコア基板であって、上記第1コア部は前記絶縁層に含まれ、上記第2コア部は前記凹周囲部に含まれるコア基板を有し、上記絶縁層は、最も前記

裏面側に位置する上記第1コア部と、これより主面側に積層されてなる1または複数の樹脂絶縁層とからなり、前記凹周囲部は、上記第2コア部を含み、上記第2コア部の上記裏面側に裏面絶縁層を有さないか、または上記樹脂絶縁層より少ない層数の上記裏面絶縁層を有する配線基板とすると良い。

【0029】本発明の配線基板は、第1コア部の主面側つまりコア基板の主面側に1または複数の樹脂絶縁層を積層する一方、第2コア部の裏面側つまりコア基板の裏面側には裏面絶縁層が無いが、樹脂絶縁層より少ない裏面絶縁層を有する配線基板である。このため、この配線基板は、両面積層配線基板と比較して裏面絶縁層を無くし、あるいは少なくできた分、安価である。

【0030】

【発明の実施の形態】（実施形態1）本発明の第1の実施形態を、図1～図7を参照しつつ説明する。図1、図6に示す配線基板100は、配線基板本体101とこの裏面101c側に搭載されたチップコンデンサ160とからなる。配線基板101は、コア基板110と、その上下にそれぞれ積層されたエポキシ樹脂からなる主面側樹脂絶縁層121及びソルダーレジスト層122、裏面側樹脂絶縁層141及びソルダーレジスト層142を有する。配線基板本体101の主面101bの中央部には、バンプ129が多数形成され、破線で示すICチップ10の下面11に多数形成された接続端子12とそれぞれフリップチップ接続可能とされている。また、裏面101cでは、その略中央部分にコンデンサ接続パッド149（第1、第2コンデンサ接続パッド149p、149g）が多数形成され、このコンデンサ接続パッド149にハンダ169を用いてチップコンデンサ160が多数搭載されている。さらに裏面101cの周縁部分には、図示しないマザーボードなどの他の配線基板に多数形成された接続端子とそれぞれ接続可能な接続パッド148が形成されている。

【0031】コア基板110は、31mm×31mmの矩形板状で、厚さ1.0mmのガラスエポキシ樹脂複合材料からなるコア基板本体111を有している。その上面111bと下面111cとの間には、これを貫通する多数のスルーホール貫通孔111hが穿孔されている。このスルーホール貫通孔111h内には、公知のスルーホール導体112、113が形成されている。主面101b側に形成されたバンプ129は、ソルダーレジスト層122に開口するパッド128、及び主面側樹脂絶縁層121を貫通するビア導体127を通じて、コア基板本体111の上面111b（コア基板本体111と主面側樹脂絶縁層121との層間151）に形成された配線層125、126に接続している。

【0032】具体的には、概略周縁部分に位置するバンプ129は、パッド128、ビア導体127を通じて配線層125に接続し、それぞれ周縁側（図1、図6中、

右または左方向)にファンアウトして周縁部分に位置するスルーホール導体112に接続する。さらに、裏面111c(コア基板本体111と裏面側樹脂絶縁層141との層間152)に形成された配線層145、裏面側樹脂絶縁層141を貫通するビア導体147を通じてソルダーレジスト層142から露出する接続パッド148に接続している。これらは、例えば、主として信号用配線として使用されるが、+の電源電位及び接地電位を供給する電源配線として用いることもある。なお、ビア導体147に発生する抵抗やインダクタンスを下げるため、複数のビア導体147で裏面側樹脂絶縁層141と接続パッド148とを接続するのが好ましい。

【0033】一方、概略中央部分に位置するバンプ129は、パッド128、ビア導体127を通じて、ファンアウトすることなく層間151に形成された配線層126で位置を調整し、あるいは複数のバンプ129からの配線(ビア導体127)を纏めた上、つまり並列接続した上、中央部分に位置するスルーホール導体113に接続する。バンプ129同士の間隔(例えば、最小150 μ m)に比して、スルーホール導体113同士の間隔が大きい(例えば、最小600 μ m)場合にこのようにすると良い。さらにコア基板111の下面111c(層間152)に形成され、変換導体層146に接続し、裏面側樹脂絶縁層141を貫通するビア導体147を通じてソルダーレジスト層142から露出するコンデンサ接続パッド149に接続している。従って、コンデンサ160の電極162(162b、162c)とバンプ129とが接続される。

【0034】なお、図1の左端に示すように、裏面101cの周縁に位置する接続パッド148のうち或るものは、ビア導体147を通じて変換導体層146に接続しており、このような経路によって、+の電源電位及び接地電位が中央部分に位置するバンプ129及びチップコンデンサ160にそれぞれ供給される。あるいは、接続パッド148、ビア導体147、配線層145、スルーホール導体112、及び配線層125、126を経由して、+の電源電位及び接地電位を、中央部分に位置するバンプ129及びチップコンデンサ160に供給することもできる。

【0035】この変換導体層146は、後述するように(図4参照)、+の電源電位(共通第1電位)に接続される第1変換導体層146pと、接地電位(共通第2電位)に接続される第2変換導体層146gとが、ストライプ状に交互に配置されたパターンとされたものである。

【0036】裏面101cに搭載されたチップコンデンサ160は、図1下方の拡大図、図2、及び図3に示すように、BaTiO₃系の高誘電体セラミックからなる積層セラミックコンデンサである。このうちコンデンサ本体161は、略直方形形状(3.2 \times 1.6 \times 0.8m

m)であり、配線基板本体101の主面101b側を向くコンデンサ上面(第1面)160uである上面161u、下面101b側を向くコンデンサ下面160vである下面161v、及び4つの側面161s(161s1、161s2、161s3、161s4)を有している(図2、図3参照)。

【0037】図1下方の拡大図に示すように、その内部には、一方の電極層161eと他方の電極層161fとが、セラミック高誘電体層161cを介して交互に、上面161uに平行に(側面161sに垂直に)、従って、主面101bに平行に多数積層されている。これらの電極層161e、161fはニッケル(Ni)からなる。各電極層161e、161fの一部が、それぞれ第1側面161s1及び第3側面161s3に引き出されて、Cuからなる端子162の側面部164に接続している。具体的には一方の電極層161eが一方の側面部164bに、他方の電極層161fが他方の側面部164cに接続している。

【0038】端子162b、162cは、それぞれ第1側面161s1上、及び第3側面161s3上に位置する側面部164b、164cを有するほか、上面161uに上面部163b、163cを、下面161vに下面部165b、165cをそれぞれ有している。従って、端子162b、162cは、この上面部163b、163cから上面161uの周縁を越えて、側面161sを上面161u(つまり主面101b側)から下面161v(つまり裏面101c側)に向かって延び(側面部164b、164c)、さらに、下面161vの周縁を越えて下面部165b、165cに接続して、略コ字形状となっている。

【0039】本実施形態のチップコンデンサ160では、第1側面161s1とこれに対向する第3側面161s3に、それぞれ4つの端子162が形成されており、第2側面161s2及び第4側面161s4には端子162は形成されていない。また、図2に示すように、1つのチップコンデンサ160について、第1側面161s1から時計回りに第2側面161s2、第3側面161s3、第4側面161s4の順に見ると、端子162b、162c、従って、その上面部163b、163cが交互に並んで配置されている。つまり、後述するように、電極層161e、161fのいずれか一方(本実施形態では161e)を+の電源電位(図2に「+」で示す)に、他方(本実施形態では161f)を接地電位(図2に「G」で示す)にすると、「+」で示す電源電位に接続する端子162b(上面部163b)と、「G」で示す接地電位に接続する端子162c(上面部163c)とが交互に並ぶ構造とされている。

【0040】さらに、チップコンデンサ160は、図2及び図3に示すように、隣り合うチップコンデンサ160の第1側面161s1と第3側面161s3同士、及

び第2側面161s2と第4側面161s4同士が対向するように、主面110bから見て、縦横格子状に配置されている。このため、電源電位と接地電位との各チップコンデンサ160への接続を考慮することにより、図2に示すように、隣り合って対向する端子162の側面部164同士を、別の電位にする、つまり図3に示すように、一方のコンデンサの電源電位とした側面部164bと、他方のコンデンサの接地電位とした側面部端子164cとが隣り合わせとなるように配置している。

【0041】ところで、このチップコンデンサ160について充放電させると、図1及び図3に矢印で示すように、端子162の側面部164に電流が流れる。この電流によって、側面161s1などを上下方向に延びる側面部164には、インダクタンスが発生する。なお、図中の矢印は各チップコンデンサ160に充電したときの電流の方向を示す。放電の場合にはこの逆になることは言うまでもない。1つのチップコンデンサ160についてみると、隣り合う側面部164相互の関係では、接続される電位が異なるので、充放電の際に流れる電流の向きが逆になる。従って、このように隣り合う側面部164に接続する電位が異なるように配置することで、両者の結合によって発生する相互インダクタンスの分だけ、側面部164（端子162）のインダクタンスを減少させることができる。

【0042】しかも、隣り合った2つのチップコンデンサ160同士についてみると、隣り合って対向する側面部164同士の間隔（ピッチ）P1=0.8mmよりも、隣り合うチップコンデンサ160同士の隣り合って対向する側面部164同士の間隔（ピッチ）P2=0.4mmの方が小さくされている。このため、隣り合って対向する側面部164同士の結合が大きくなり、インダクタンスをより小さくすることができる。なお、チップコンデンサ160同士の間には空隙が保たれ、コンデンサ接続パッド149同士の間には、ソルダーレジスト層142が介在しているので、側面部164同士の絶縁は保たれている。

【0043】その上、本実施形態では、図2に示すように、チップコンデンサ160内で隣り合う側面部164同士の間隔（ピッチ）P1=0.8mmよりも、隣り合うチップコンデンサ160同士の隣り合って対向する側面部164同士の間隔（ピッチ）P2=0.4mmの方が小さくされている。このため、隣り合って対向する側面部164同士の結合が大きくなり、インダクタンスをより小さくすることができる。なお、チップコンデンサ160同士の間には空隙が保たれ、コンデンサ接続パッド149同士の間には、ソルダーレジスト層142が介在しているので、側面部164同士の絶縁は保たれている。

【0044】更に、本実施形態の配線基板本体101では、図1に示すように、コア基板本体111と裏面側樹脂絶縁層141との層間152に変換導体層146が形成されている。この変換導体層146とチップコンデンサ160の端子162b、162c、特にその上面部163b、163c、さらにスルーホール導体113との

関係について、図4、図5、図6を参照して説明する。

【0045】図4は、図1、図6におけるM-M'断面において、主面側から裏面側樹脂絶縁層141、ソルダーレジスト層142、コンデンサ接続パッド149等を透視して（あるいは除いて）チップコンデンサ113を見た図、従って、図1におけるN-N'断面において、主面101b側から上面160uに変換導体層146を投影した状態を示す図である。変換導体層146には、第1変換導体層146pと第2変換導体層146gとが含まれ、図4においてハッチングを異ならせて示すように、第1変換導体層146p及び第2変換導体層146gは、いずれも帯状にされ、しかも、交互に並ぶストライプ状パターンとして配置されている。

【0046】しかも、第1変換導体層146pはチップコンデンサ160の端子162（上面部163）のうち、+の電源電位に接続される端子162b（上面部163b）の上方（主面101b側）に位置し、第2変換導体層146gは、接地電位に接続される端子162c（上面部163c）の上方（主面101b側）に位置している。従って、第1変換導体層146pとその下方（裏面101c側）に位置するチップコンデンサ160の端子162b（上面部163b）とは、裏面側樹脂絶縁層141を貫通するごく短いビア導体147及び第1コンデンサ接続パッド149pで接続することで足りる（図1参照）。同様に、第2変換導体層146gとその下方に位置する端子162c（上面部163c）とも、裏面側樹脂絶縁層141を貫通するごく短いビア導体147及び第2コンデンサ接続パッド149gで接続すれば足りる。このため、変換導体層146とコンデンサ160の端子162（上面部163）との間に生じる抵抗やインダクタンスは低く抑えることができる。

【0047】次いで、図5を参照して、変換導体層146とそれより主面側に位置するスルーホール導体113との接続関係について説明する。図5は、図4において、さらにストライプ状に配置された第1、第2変換導体層146p、146gに主面側から接続するスルーホール導体113の接続位置を重ねて表示したものである。本図において、第1変換導体層146pに接続するスルーホール導体113pの位置を○（マル）にpの記号で表し、第2変換導体層146gに接続するスルーホール導体113gの位置を○にgの記号で表している。図5から容易に理解できるように、本実施形態では、スルーホール導体113p、113gは、ちょうど端子162b、162c（上面部163b、163c）の上方（主面101b側）でそれぞれ第1、第2変換導体層146p、146gに接続するものがある。なお、一部では上面部163b、163cの上方で接続しない部位もある。図5におけるX-X'断面は、図1に示す断面図に相当する。

【0048】さらにそのほか、チップコンデンサ160

内の2つの端子162b(上面部163b)の間を架け渡す第1変換導体層146pの間の部分、具体的には、チップコンデンサ160を平面視縦長に見たときの中心線上で、中間接続スルーホール導体113pmが、第1変換導体層146pに接続している。また同様に、チップコンデンサ160の2つの端子162c(上面部163c)の間を架け渡す第2変換導体層146gの間の部分、具体的には、チップコンデンサ160を平面視縦長に見たときの中心線上でも、中間接続スルーホール導体113gmが、第2変換導体層146gに接続している。なお、図5におけるY-Y'断面が、図6に示す断面図に相当する。

【0049】このように、第1変換導体層146p及び第2変換導体層146gをストライプ状に交互に配置しているので、パンプ129からパッド128、ビア導体127、配線層126及びスルーホール導体113を通じて変換導体層126に接続するにあたり、短い配線層126によってその位置を調整すれば足りるので接続が容易である。このため、このスルーホール導体113、配線層126及びビア導体127、及びパッド128を通じて、パンプ129に+の電源電位及び接地電位のいずれをも容易に引き出すことができるとともに、チップコンデンサ160と短い距離で接続することができる。しかも、第1、第2変換導体層146p、146gはいずれも、コア基板本体111と裏面側樹脂絶縁層141との層間152に形成されているので、2層のベタ状(平板状)の変換導体層を用いた場合に比して、必要となる層間の数が少なくなるから、配線基板本体101における樹脂絶縁層を1層分少なくできる。

【0050】さらに、図7に示すように、この配線基板100において、チップコンデンサ160を放電させる場合を考える。即ち、チップコンデンサ160の電源電位の端子162b(上面部163b)から、第1変換導体層162p及びスルーホール導体113pを通じて、ICチップ10に電流を流し、その帰路として、ICチップ10から、スルーホール導体113g、第2変換導体層146gを通じて、チップコンデンサ160の接地電位の端子162c(上面部163c)へ電流を流す場合を考える。この場合において、第1変換導体層146pから中間接続スルーホール導体113pmに流れ込む電流、及び中間接続スルーホール導体113gmから第2変換導体層146gに流れ出る電流を矢印で示す。

【0051】すると、図7において一点鎖線で囲む逆向き電流部分41においては、第1変換導体層146pを流れる電流の向きと第2変換導体層146gを流れる電流の向きとが逆向きになる。従って、この部分では相互インダクタンスが負となり、この部分でのインダクタンスを抑制できるから、変換導体層146、さらには、配線基板100(配線基板本体101)全体に生じるインダクタンスをより低減することができることが判る。

【0052】さらに、本実施形態では、図1及び図6から容易に理解できるように、主面側から変換導体層146に接続するスルーホール導体113の数の方が、さらにはこれらに接続するパンプ129の数の方が、裏面側から変換導体層146に接続するビア導体147の数よりも多い。従って、変換導体層146を層間152に設けたことにより、変換導体層を他の層間151に設けた場合よりも、全体として、チップコンデンサ160とパンプ129との間に生じる抵抗やインダクタンスを低く抑えることができる。

【0053】次いで、本実施形態の配線基板100の製造方法について説明する。本実施形態の配線基板100は、樹脂配線基板の公知のビルドアップ製法によって形成すればよい。例えば、まず、ガラス-エポキシ樹脂複合材料からなり、上面111bと下面111cとの間を貫通する多数の貫通孔111hを有するコア基板本体111を用意する。これらの貫通孔111hは、例えば、ドリル、レーザ等によって穿孔する。その後、公知のパネルメッキ法によりコア基板本体111にCuメッキを施し、エッチングにより所定のパターンを形成した後、貫通孔111h内に樹脂112rを充填する。さらにメッキを施して、貫通孔111h内にスルーホール導体112、113を形成するとともに、コア基板本体の上面111b及び下面111cに所定パターンの配線層125、126、145、変換導体層146をそれぞれ形成する。

【0054】次いで、公知のビルドアップ絶縁層形成手法により、主面側及び裏面側樹脂絶縁層121、141を形成し、さらにこれらをそれぞれ貫通するビア導体127、147、及びパッド128、接続パッド148、コンデンサ接続パッド149をそれぞれ形成する。さらに、不要部分を覆うようにして、ソルダーレジスト層122、142を形成して配線基板本体101が完成する。その後は、コンデンサ接続パッド149に予めハンダペーストを塗布した上で、チップコンデンサ160を裏面101cに搭載し、リフローしてチップコンデンサ160の端子162(主に上面部163)とコンデンサ接続パッド149とをハンダ169を介して接続する。さらに、パッド128にハンダペーストを塗布し、ハンダ169の溶融しない温度でリフローして、パンプ129を形成する。このようにして、配線基板100が完成する。

【0055】この配線基板100は、上記のようにチップコンデンサ160を裏面101cに多数搭載しているため、ノイズを確実に除去できる上、複数のチップコンデンサ160を並列に接続しているので、搭載するコンデンサ全体としてのインダクタンスも低減させることができる。しかも、各チップコンデンサ160について見ると、隣り合って対向する端子162同士は極性が異なり、流れる電流の向きが逆向きになる。このため、イン

ダクタンスをさらに減少させることができ、より一層、低インダクタンスでICチップ10とコンデンサ160とを接続することができる。

【0056】また、チップコンデンサ160の端子162には、上面部163b、163cを形成しているので、配線基板本体101の裏面101c側に形成したコンデンサ接続パッド149と端子162（上面部163b、163c）との接続が容易になる。しかも、変換導体層として、第1変換導体層146pと第2変換導体層146gとを同じ層間152に形成しているので、樹脂絶縁層の数を減らすことができている。従って、コストダウンを図ることができる。

【0057】（変形形態1）上記実施形態における変換導体層146は、図4等に示すように、若干ジグザグに蛇行しているが、大略まっすぐな帯状の第1、第2変換導体層146p、146gが交互に並んだストライプ状パターンとしたが、他のストライプ状パターンによっても良い。

【0058】例えば、図8に、本変形形態1の第1、第2変換導体層246p、246gと、チップコンデンサ160の端子162の上面部163b、163cとの関係を示す。この変形形態では、図8から容易に理解できるように、第1、第2変換導体層246p、246gがそれぞれジグザグ帯状にされ、しかも、第1、第2変換導体層246p、246gが交互に並んだストライプ状パターンとされている。変換導体層246をこのようなパターンとしても、実施形態1と同じく、チップコンデンサ160の上面部163b、163cが、それぞれ第1、第2変換導体層246p、246gの下方（裏面側）に位置しており、実施形態1と同様、ごく短いビア導体147及びコンデンサ接続パッド149で互いに接続することができる。また、この変換導体層246の主面側においても、スルーホール導体113と容易に接続することができる（図1参照）。従って、変換導体層246によっても、チップコンデンサ160とパンプ129（ICチップ10の接続端子12）とを、容易に接続することができる。

【0059】（変形形態2）また、上記実施形態及び変形形態1では、チップコンデンサ160の4つ側面161s1～161s4のうち、第1側面161s1と第3側面161s3に端子162が形成されたものを使用した。他の形態のチップコンデンサを用いることもできる。例えば、図9に示すように、本変形形態2で使用するチップコンデンサ360は、前記実施形態1のチップコンデンサ160と同じく、その第1側面361s1と第3側面361s3に端子362b、362c（上面部363b、363c）が形成されている他、さらに、第2側面361s2と第4側面361s4にも、それぞれ端子362（上面部363bs、363cs）が形成されている。

【0060】このようなチップコンデンサ360を用いた場合にも、この図9に示すように、ジグザグ帯状の第1、第2変換導体層346p、346gを交互に並んだストライプ状に形成することにより、各上面部363b、363c（363bs、363csを含む）を、それぞれ第1、第2変換導体層346p、346gの下方に位置させることができ、実施形態1と同様、ごく短いビア導体147で互いに接続することができる。また、この変換導体層346の主面側においても、スルーホール導体113と容易に接続することができる（図1参照）。従って、変換導体層346により、チップコンデンサ360とパンプ129（ICチップ10の接続端子12）とを、容易に接続することができる。

【0061】（変形形態3）さらに、上記変形形態2におけるチップコンデンサ360を用いて、第1、第2変換導体層を他のストライプ状パターンとすることもできる。例えば、図10に、本変形形態3の第1、第2変換導体層446p、446gと、チップコンデンサ360の端子362の上面部363b、363cとの関係を示す。この変形形態3では、図10から容易に理解できるように、第1、第2変換導体層446p、446gがそれぞれほぼまっすぐな帯状で、しかも交互に並んだストライプ形状とされている。また、変形形態2と同じく、各上面部363b、363cが、それぞれ第1、第2変換導体層446p、446gの下方に位置しており、変形形態2と同様、ごく短いビア導体147で互いに接続することができる。また、この変換導体層446の主面側においても、スルーホール導体113と容易に接続することができる（図1参照）。従って、変換導体層446によっても、チップコンデンサ360とパンプ129（ICチップ10の接続端子12）とを、容易に接続することができる。

【0062】（変形形態4）上記実施形態及び変形形態1～3においては、チップコンデンサの端子162、362は、いずれも側面に形成され、上面に回り込んで形成された上面部163、363を有する形態であった。しかし、本件発明に使用できるチップコンデンサとしては、チップコンデンサの上面に端子が形成されて、上方（主面側）から接続できるものであれば良く、上面にパンプ状に端子が形成されたものでも良い。例えば、図11に示すように、本変形形態4で使用するチップコンデンサ560は、前記実施形態のチップコンデンサ160等とは異なり、その上面560u（チップコンデンサ本体の上面561u）に、縦横格子状に端子563が並んでいる。しかも、+の電源電位に接続する第1端子563bと接地電位に接続する第2端子563cとが、交互に並ぶように配置されている。このようなチップコンデンサ560を用いた場合にも、この図11に示すように、直線帯状の第1、第2変換導体層546p、546gが交互に並んだストライプ形成とすることにより、各

端子563b、563cを、それぞれ第1、第2変換導体層546p、546gの下方に位置させることができ、上記実施形態1等と同様、ごく短いビア導体147で互いに接続することができる。また、この変換導体層546の主面側においても、スルーホール導体113と容易に接続することができる(図1参照)。従って、変換導体層546によっても、チップコンデンサ560とバンブ129(ICチップ10の接続端子12)とを、容易に接続することができる。

【0063】(変形形態5)さらに、上記変形形態4におけるチップコンデンサ560を用いて、第1、第2変換導体層を他のストライプ状パターンとすることもできる。例えば、図12に、本変形形態4の第1、第2変換導体層646p、646gと、チップコンデンサ560の端子563b、563cとの関係を示す。この変形形態5では、図12から容易に理解できるように、第1、第2変換導体層646p、646gは、それぞれジグザグ帯状で、しかも交互に並んだストライプ状パターンとされている。また、変形形態4と同じく、各端子563b、563cが、それぞれ第1、第2変換導体層646p、646gの下方に位置しており、変形形態4と同様、ごく短いビア導体147で互いに接続することができる。また、この変換導体層646の主面側においても、スルーホール導体113と容易に接続することができる(図1参照)。従って、変換導体層646によっても、チップコンデンサ560とバンブ129(ICチップ10の接続端子12)とを、容易に接続することができる。

【0064】(実施形態2)次いで本発明の第2の実施形態について、図13～図15を参照しつつ説明する。本実施形態の配線基板800は、実施形態1にかかる配線基板100とほぼ同様の構造を有している。但し、実施形態1の配線基板100においては、ストライプ状パターンにされた変換導体層146(第1、第2変換導体層146p、146g)が、コア基板本体111と裏面側樹脂絶縁層141との層間152の形成されている。これに対し、本実施形態2では、変換導体層146とほぼ同形状の変換導体層849(第1、第2変換導体層849p、849g)が、裏面側樹脂絶縁層841の裏面841c、つまり、裏面側樹脂絶縁層841とソルダーレジスト層842との層間854に形成されている点で異なる。従って、異なる部分を中心に説明し、同様な部分は省略または簡略化して説明する。

【0065】図13、図14に示す配線基板800は、配線基板本体801とこの裏面801c側に搭載された実施形態1と同様なチップコンデンサ160とからなる。配線基板801は、実施形態1と同じく、コア基板810と、その上下にそれぞれ積層された主面側樹脂絶縁層821及びソルダーレジスト層822、裏面側樹脂絶縁層841及びソルダーレジスト層842を有する。

配線基板本体801の主面801bの中央部には、バンブ829が多数形成され、破線で示すICチップ10の下面11に多数形成された接続端子12とそれぞれフリップチップ接続可能とされている。また、図中裏面801cでは、その略中央部分にコンデンサ接続パッド849が多数形成され、これにハンダ869を用いてチップコンデンサ160が多数搭載されている。さらに裏面801cの周縁部分には、接続パッド848が形成されている。

【0066】実施形態1と同じく、コア基板810は、コア基板本体811を有し、その上面811bと下面811cとの間には、これを貫通する多数のスルーホール用貫通孔811hが穿孔され、この内には、公知のスルーホール導体812、813が形成されている。また、バンブ829は、ソルダーレジスト層822に開口するパッド828、及び主面側樹脂絶縁層821を貫通するビア導体827を通じて、コア基板本体811の上面811b(コア基板本体811と主面側樹脂絶縁層821との層間851)に形成された配線層825、826に接続している。

【0067】具体的には、概略周縁部分に位置するバンブ829は、パッド828、ビア導体827を通じて配線層825に接続し、それぞれ周縁側(図13、図14中、右または左方向)にファンアウトして周縁部分に位置するスルーホール導体812に接続する。さらに、裏面811c(層間852)に形成された配線層845、裏面側樹脂絶縁層841を貫通するビア導体847を通じてソルダーレジスト層842から露出する接続パッド848に接続している。これらは、例えば、主として信号用配線として使用されるが、+の電源電位及び接地電位を供給する電源配線として用いることもある。

【0068】一方、概略中央部分に位置するバンブ829は、パッド828、ビア導体727を通じて、ファンアウトすることなく層間851に形成された配線層826で位置を調整し、あるいは複数のバンブ829からの配線を纏めた上、つまり並列接続した上、中央部分に位置するスルーホール導体813に接続する。ここまでは実施形態1と同様である。さらにこのスルーホール導体813は、コア基板811の下面811c(層間852)に形成された配線層846に接続し、裏面側樹脂絶縁層841を貫通するビア導体847を通じて、裏面側樹脂絶縁層841の裏面841c(層間854)に形成された変換導体層849に接続している。この変換導体層849の一部は、ソルダーレジスト層842から露出しており、この部分でチップコンデンサ160の端子162(162b、162c)とハンダ869によって接続する。つまり、変換導体層849は、バンブ829とチップコンデンサ160の端子162との間に介在する絶縁層(主面側樹脂絶縁層821、コア基板本体811、裏面側樹脂絶縁層841)のうち、最も裏面側に位

置する裏面側樹脂絶縁層841の裏面841cに形成されている。このようにして、チップコンデンサ160の電極162(162b, 162c)とバンプ829とが接続される。

【0069】なお、図13の左端に示すように、裏面801cの周縁に位置する接続パッド848の或るものは、裏面側樹脂絶縁層841の裏面841cにおいて、変換導体層849に接続しており、このような経路によって、+の電源電位及び接地電位が中央部分に位置するバンプ829及びチップコンデンサ160にそれぞれ供給される。あるいは、接続パッド848、ビア導体847、配線層845、スルーホール導体812、及び配線層825、826を経由して、+の電源電位及び接地電位を、中央部分に位置するバンプ829及びチップコンデンサ160に供給することもできる。

【0070】この変換導体層849は、図15に示すように、実施形態1の変換導体層146とほぼ同様なパターンを有し、+の電源電位(共通第1電位)に接続される第1変換導体層849pと、接地電位(共通第2電位)に接続される第2変換導体層849gとが、ストライプ状に交互に配置されたパターンとされたものである。但し、変換導体層849は、チップコンデンサ160の端子162(上部163)の形状に合わせて接続を容易にするため、図4に示す変換導体層146に比して、三角形の突起部分が形成されている点で異なる。図15は、図13、図14におけるQ-Q'断面において、主面側からソルダーレジスト層842、ハンダ869を透視して(あるいは除いて)チップコンデンサ160を見た図であり、変換導体層849とチップコンデンサ160の端子162b, 162c(上部163b, 163c)との関係について示したものである。

【0071】図15から容易に理解できるように、第1変換導体層849pはいずれも、チップコンデンサ160の端子162(上部163)のうち、+の電源電位に接続される端子162b(上部163b)の上方(主面801b側)に位置し、第2変換導体層849gのいずれも、接地電位に接続される端子162c(上部163c)の上方(主面801b側)に位置している。従って、第1変換導体層849pとその下方(裏面801c側)に位置するチップコンデンサ160の端子162b(上部163b)とは、ハンダ869で容易に接続することができる(図13参照)。同様に、第2変換導体層849gとその下方に位置する端子162c(上部163c)とも、ハンダ869で容易に接続することができる。このため、変換導体層849とコンデンサ160の端子162(上部163)との間に生じる抵抗やインダクタンスは特に低く抑えることができる。

【0072】なお、変換導体層849とそれより主面側に位置するビア導体847との接続関係については、図

5を参照して実施形態1において変換導体層146とスルーホール導体113の関係について説明したのと同様である。即ち、図5から容易に理解できるように、本実施形態2でも、ビア導体847p, 847gは、ちょうど端子862b, 862c(上部863b, 863c)の上方(主面801b側)でそれぞれ第1, 第2変換導体層849p, 849gに接続するものがある。なお、一部では上部863b, 863cの上方で接続しない部位もある。図5におけるX-X'断面は、図13に示す断面図に相当する。また、図5では、変換導体層の形状として実施形態1の変換導体層146の形態を示したので、図15に示す変換導体層849の形態と若干異なるように表現されている。

【0073】さらにそのほか、チップコンデンサ160内の2つの端子162b(上部163b)の間を架け渡す第1変換導体層849pの間の部分、具体的には、チップコンデンサ160を平面視縦長に見たときの中心線上で、中間接続ビア導体847pmが、第1変換導体層849pに接続している。また同様に、チップコンデンサ160の2つの端子162c(上部163c)の間を架け渡す第2変換導体層849gの間の部分、具体的には、チップコンデンサ160を平面視縦長に見たときの中心線上でも、中間接続ビア導体847gmが、第2変換導体層849gに接続している(図5参照)。

【0074】このように、第1変換導体層849p及び第2変換導体層849gをストライプ状に交互に配置しているので、バンプ829からパッド828、ビア導体827、配線層826、スルーホール導体813、配線層846、ビア導体847を通じて変換導体層849に接続するにあたり、短い配線層826によってその位置を調整すれば足りるので接続が容易である。このため、これらを通じて、バンプ829に+の電源電位及び接地電位のいずれをも容易に引き出すことができるとともに、チップコンデンサ160と短い距離で接続することができる。しかも、第1, 第2変換導体層849p, 849gはいずれも、裏面側樹脂絶縁層841の裏面841cに形成されているので、2層のベタ状(平板状)の変換導体層を用いた場合に比して、必要となる層間の数が少なくなるから、配線基板本体801における樹脂絶縁層を1層分少なくできる。

【0075】さらに、この配線基板800において、チップコンデンサ160を充放電させる場合に変換導体層849を流れる電流についても、図7を参照して実施形態1において説明したのと同様である。即ち、この配線基板800において、チップコンデンサ160を放電させる場合を考えると、図7において一点鎖線で囲む逆向き電流部分41においては、第1変換導体層849pを流れる電流の向きと第2変換導体層849gを流れる電流の向きとが逆向きになる。従って、この部分では相互インダクタンスが負となり、この部分でのインダクタン

スを抑制できるから、変換導体層 849、さらには、配線基板 800（配線基板本体 801）全体に生じるインダクタンスをより低減することができることが判る。

【0076】さらに、本実施形態では、図 13 及び図 14 から容易に理解できるように、主面側から変換導体層 849 に接続するビア導体 847 の数の方が、さらにはこれらに接続するバンプ 829 の数の方が、裏面側から変換層体層 849 に接続するチップコンデンサ 160 の端子 162 の数よりも多い。しかも、層間 152 に変換導体層 146 を設けた実施形態 1 の配線基板 100 の場合よりも、変換導体層 849 が裏面側、つまりチップコンデンサ 160 側に位置している。従って、変換導体層 849 を最もチップコンデンサ 160 に近い裏面側樹脂絶縁層 841 の裏面に設けたことにより、変換導体層を層間 151 や 152 に設けた場合に比して、特にチップコンデンサ 160 とバンプ 829 との間に生じる抵抗やインダクタンスを低く抑えることができる。なお、本実施形態 2 の配線基板 800 の製造方法は、実施形態 1 の配線基板 100 と同じく、公知のビルドアップ製法によって形成すればよいので説明を省略する。

【0077】この配線基板 800 においても、上記のようにチップコンデンサ 160 を裏面 801c 側に多数搭載しているため、ノイズを確実に除去できる上、複数のチップコンデンサ 160 を並列に接続しているため、搭載するコンデンサ全体としてのインダクタンスも低減させることができる。しかも、各チップコンデンサ 160 について見ると、隣り合って対向する端子 162 同士は極性が異なり、流れる電流の向きが逆向きになる。このため、インダクタンスをさらに減少させることができ、より一層、低インダクタンスで IC チップ 10 とコンデンサ 160 とを接続することができる。

【0078】また、チップコンデンサ 160 の端子 162 には、上面部 163b、163c を形成しているため、変換導体層 849 と端子 162（上面部 163b、163c）との接続が容易になる。しかも、変換導体層として、第 1 変換導体層 849p と第 2 変換導体層 849g とを同じ裏面側樹脂絶縁層 841 の裏面 841c（層間 852）に形成しているため、樹脂絶縁層の数を減らすことができている。従って、コストダウンを図ることができる。

【0079】（実施形態 3）次に、本発明の第 3 の実施形態について、図 16 を参照しつつ説明する。本実施形態の配線基板 900 は、実施形態 1 及び変形形態 1～5 にかかる配線基板 100 と比較して、コンデンサ接続パッドとバンプ（主面側接続端子）とを結ぶ配線については、ほぼ同様の構造を有している。但し、実施形態 1 及び変形形態 1～5 では、配線基板の裏面にコンデンサ接続パッドを形成し、このコンデンサ接続パッドにチップコンデンサを搭載した。これに対し、本実施形態 3 では、裏面側に開口する凹部を形成するように凹部の壁面

を構成する凹周囲部を絶縁層より裏面側に形成し、凹部の底面にコンデンサ接続パッドを形成し、チップコンデンサを凹部内に搭載する。

【0080】具体的には、本発明の配線基板 900 は、図 16 に示すように、配線基板本体 901 とチップコンデンサ 160 とによって構成されている。チップコンデンサ 160 については、実施形態 1 と同様であるので説明を割愛し、ここでは配線基板本体 901 を中心に説明する。配線基板本体 901 は、裏面 901c 側に開口する凹部 965 が形成されたコア基板 960 と、この主面 960b 上に積層された主面側樹脂絶縁層 930、121、変換導体層 946、及び配線層 125、126 とを有する。また、チップコンデンサ 160 は、チップコンデンサの上面 160u（第 1 面）が凹部 965 の底面 965b に対向するように、凹部 965 内に配置されている。

【0081】配線基板 900 のうちコア基板 960 は、比較的肉薄の第 1 コア部 910 と比較的肉厚の第 2 コア部 920 とによって形成される。第 1 コア部 910 は、31mm×31mm の矩形で厚さ 200μm のガラスエポキシ樹脂からなり、図 17 に示すように、その中央付近には第 1 コア部 910 の厚さ方向に貫通する直径約 100μm のスルーホール 911 が複数形成されている。さらに、各スルーホール 911 の内側には、銅製のスルーホール導体 912 が形成され、さらにその内側には充填樹脂 913 が充填されている。第 2 コア部 920（図 16 参照）は、31mm×31mm の矩形で厚さ 800μm のガラスエポキシ樹脂からなり、その中央付近には凹部 965 が形成されている。凹部 965 は平面視 15mm×15mm の正方形である。

【0082】第 1 コア部 910 と第 2 コア部 920 とは、厚さ約 60μm の接着層 968 を介して貼り合わされることにより積層され、コア基板 960 を形成している。図 16 の左右に示すように、コア基板 960 のうち凹部 965 の周囲（凹周囲部 970）には、その厚さ方向に貫通する直径約 100μm のスルーホール 961 が形成されている。さらに、図 16 に拡大して示すように、各スルーホール 961 の内側には、銅製のスルーホール導体 962 が形成され、さらにその内側には充填樹脂 963 が充填されている。さらに、コア基板 960 のコア裏面 960c には、スルーホール導体 962 と接続するパッド 928 とソルダーレジスト層 967 が形成されている。また、凹部 965 の底面 965b には、実施形態 1 のコンデンサ接続パッド 149 と同様のコンデンサ接続パッド 949 とエポキシ系樹脂からなるソルダーレジスト層 966 とが形成されている。コンデンサ接続パッド 949 はスルーホール導体 912 と接続している。

【0083】コア基板 960 のコア主面 960b 上には、実施形態 1 の変換導体層 146 と同様のパターンの

変換導体層946と、実施形態1の配線層145と同様のパターンの配線層945が形成されている。変換導体層946はスルーホール導体912と接続し、配線層945はスルーホール導体962と接続している。コア基板960のコア主面960b、変換導体層946、及び配線層945上には、エポキシ系樹脂からなる厚さ約30 μ mの主面側樹脂絶縁層930が形成されている。さらに、主面側樹脂絶縁層930には、実施形態1と同様に、変換導体層946上の所定の位置に主面側樹脂絶縁層930の厚さ方向に貫通するビア導体933と、配線層945上の所定の位置に主面側樹脂絶縁層930の厚さ方向に貫通するビア導体932とが形成されている。さらに、主面側樹脂絶縁層930上には、実施形態1と同様の配線層125、126が形成されている。配線層125はビア導体932と接続し、配線層126はビア導体933と接続されている。主面側樹脂絶縁層930上及び配線層126上には、実施形態1と同様の主面側樹脂絶縁層121が形成されている。

【0084】さらに、主面側樹脂絶縁層121には、実施形態1と同様に、配線層125、126上の所定の位置に、主面側樹脂絶縁層121の厚さ方向に貫通する実施形態1と同様のビア導体127が形成されている。主面側樹脂絶縁層121上には、実施形態1と同様のソルダーレジスト層122及びパッド128が形成され、パッド128はビア導体127と接続されている。さらに、パッド128上には、実施形態1と同様のバンプ129が形成されている。

【0085】上述のような配線基板本体901を有する配線基板900によれば、実施形態1と同様に、概略周縁部分に位置するバンプ129は、パッド128、ビア導体127を通じて配線層125に接続し、それぞれ周縁側（図16中、右または左方向）にファンアウトして周縁部分に位置するビア導体932に接続する。さらに、配線層945、スルーホール導体962を通じてソルダーレジスト層967から露出する接続パッド928に接続している。これらは、例えば、主として信号用配線として使用されるが、+の電源電位及び接地電位を供給する電源配線として用いることもある。なお、スルーホール導体962に発生する抵抗やインダクタンスを下げるため、複数のスルーホール導体962で配線層945と接続パッド928とを接続するのが好ましい。

【0086】一方、概略中央部分に位置するバンプ129は、パッド128、ビア導体127を通じて、ファンアウトすることなく層間953に形成された配線層126で位置を調整し、あるいは複数のバンプ129からの配線（ビア導体127）を纏めた上、つまり並列接続した上、中央部分に位置するビア導体933に接続する。バンプ129同士の間隔（例えば、最小150 μ m）に比して、ビア導体933同士の間隔が大きい場合（例えば、最小600 μ m）にこのようにすると良い。さら

に、変換導体層946に接続し、第1コア部910を貫通するスルーホール導体912を通じて、コンデンサ接続パッド949に接続している。従って、コンデンサ160の電極162（162b、162c）とバンプ129とが接続される。

【0087】なお、図16の左端に示すように、裏面901cに位置する接続パッド928のうち或るものは、スルーホール導体962を通じて変換導体層946に接続しており、このような経路によって、+の電源電位及び接地電位が中央部分に位置するバンプ129及びチップコンデンサ160にそれぞれ供給される。あるいは、接続パッド928、スルーホール導体962、配線層945、ビア導体932、及び配線層125、126を経由して、+の電源電位及び接地電位を、中央部分に位置するバンプ129及びチップコンデンサ160に供給することもできる。

【0088】変換導体層946は、実施形態1と同様に（図4参照）、+の電源電位（共通第1電位）に接続される第1変換導体層946pと、接地電位（共通第2電位）に接続される第2変換導体層946gとが、ストライプ状に交互に配置されたパターンとされたものである。この変換導体層946とチップコンデンサ160の端子162b、162c、特にその上部部163b、163c、さらにビア導体933との関係については、実施形態1と同様である。そこで、図4、図5、図7、及び図21を参照して説明する。

【0089】図4は、図16、図21におけるR-R'断面において、主面901b側から第1コア部910、ソルダーレジスト層966、コンデンサ接続パッド949等を透視して（あるいは除いて）チップコンデンサ160を見た図、従って、図16におけるS-S'断面において、主面901b側から上面160uに変換導体層946を投影した状態を示す図である。変換導体層946には、第1変換導体層946pと第2変換導体層946gとが含まれ、図4においてハッチングを異ならせて示すように、第1変換導体層946p及び第2変換導体層946gは、いずれも帯状にされ、しかも、交互に並ぶストライプ状パターンとして配置されている。

【0090】しかも、第1変換導体層946pはチップコンデンサ160の端子162（上部部163）のうち、+の電源電位に接続される端子162b（上部部163b）の上方（主面901b側）に位置し、第2変換導体層946gは、接地電位に接続される端子162c（上部部163c）の上方（主面901b側）に位置している。従って、第1変換導体層946pとその下方（裏面901c側）に位置するチップコンデンサ160の端子162b（上部部163b）とは、第1コア部910を貫通するごく短いスルーホール導体912及び第1コンデンサ接続パッド949pで接続することで足りる（図16参照）。同様に、第2変換導体層946gと

その下方に位置する端子 162c (上面部 163c) と、第 1 コア部 910 を貫通するごく短いスルーホール導体 912 及び第 2 コンデンサ接続パッド 949g で接続すれば足りる。このため、変換導体層 946 とコンデンサ 160 の端子 162 (上面部 163) との間に生じる抵抗やインダクタンスは低く抑えることができる。

【0091】次いで、図 5 を参照して、変換導体層 946 とそれより主面 901b 側に位置するビア導体 933 との接続関係について説明する。図 5 は、図 4 において、さらにストライプ状に配置された第 1、第 2 変換導体層 946p、946g に主面側から接続するビア導体 933 の接続位置を重ねて表示したものである。本図において、第 1 変換導体層 946p に接続するビア導体 933p の位置を○ (マル) に p の記号で表し、第 2 変換導体層 946g に接続するビア導体 933g の位置を○ に g の記号で表している。図 5 から容易に理解できるように、本実施形態では、ビア導体 933p、933g は、ちょうど端子 162b、162c (上面部 163b、163c) の上方 (主面 901b 側) でそれぞれ第 1、第 2 変換導体層 946p、946g に接続するものがある。なお、一部では上面部 163b、163c の上方で接続しない部位もある。図 5 における X-X' 断面は、図 16 に示す断面図に相当する。

【0092】さらにそのほか、チップコンデンサ 160 内の 2 つの端子 162b (上面部 163b) の間を架け渡す第 1 変換導体層 946p の間の部分、具体的には、チップコンデンサ 160 を平面視縦長に見たときの中心線上で、中間接続ビア導体 933pm が、第 1 変換導体層 946p に接続している。また同様に、チップコンデンサ 160 の 2 つの端子 162c (上面部 163c) の間を架け渡す第 2 変換導体層 946g の間の部分、具体的には、チップコンデンサ 160 を平面視縦長に見たときの中心線上でも、中間接続ビア導体 933gm が、第 2 変換導体層 946g に接続している。なお、図 5 における Y-Y' 断面が、図 21 に示す断面図に相当する。

【0093】このように、第 1 変換導体層 946p 及び第 2 変換導体層 946g をストライプ状に交互に配置しているので、バンプ 129 からパッド 128、ビア導体 127、配線層 126 及びビア導体 933 を通じて変換導体層 126 に接続するにあたり、短い配線層 126 によってその位置を調整すれば足りるので接続が容易である。このため、このビア導体 933、配線層 126 及びビア導体 127、及びパッド 128 を通じて、バンプ 129 に + の電源電位及び接地電位のいずれをも容易に引き出すことができるとともに、チップコンデンサ 160 と短い距離で接続することができる。しかも、第 1、第 2 変換導体層 946p、946g はいずれも、第 1 コア部 910 と主面側樹脂絶縁層 930 との層間 952 に形成されているので、2 層のベタ状 (平板状) の変換導体層を用いた場合に比して、必要となる層間の数が少なく

なるから、配線基板本体 901 における樹脂絶縁層を 1 層分少なくできる。

【0094】さらに、実施形態 1 と同様に、図 7 に示すように、この配線基板 900 において、チップコンデンサ 160 を放電させる場合を考える。即ち、チップコンデンサ 160 の電源電位の端子 162b (上面部 163b) から、第 1 変換導体層 162p 及びビア導体 933p を通じて、IC チップ 10 に電流を流し、その帰路として、IC チップ 10 から、ビア導体 933g、第 2 変換導体層 946g を通じて、チップコンデンサ 160 の接地電位の端子 162c (上面部 163c) へ電流を流す場合を考える。この場合において、第 1 変換導体層 946p から中間接続ビア導体 933pm に流れ込む電流、及び中間接続ビア導体 933gm から第 2 変換導体層 946g に流れ出る電流を矢印で示す。

【0095】すると、図 7 において一点鎖線で囲む逆向き電流部分 41 においては、第 1 変換導体層 946p を流れる電流の向きと第 2 変換導体層 946g を流れる電流の向きとが逆向きになる。従って、この部分では相互インダクタンスが負となり、この部分でのインダクタンスを抑制できるから、変換導体層 946、さらには、配線基板 900 (配線基板本体 901) 全体に生じるインダクタンスをより低減することができることが判る。

【0096】さらに、本実施形態では、図 16 及び図 21 から容易に理解できるように、主面 901b 側から変換導体層 946 に接続するビア導体 933 の数の方が、さらにはこれらに接続するバンプ 129 の数の方が、裏面 901c 側から変換導体層 946 に接続するスルーホール導体 912 の数よりも多い。従って、変換導体層 946 を層間 952 に設けたことにより、変換導体層を他の層間 953 に設けた場合よりも、全体として、チップコンデンサ 160 とバンプ 129 との間に生じる抵抗やインダクタンスを低く抑えることができる。

【0097】次いで、本実施形態の配線基板本体 901 の製造方法について、図 17 ~ 図 20 を参照して説明する。なお、チップコンデンサ 160 の製造方法については、実施形態 1 と同様のため、説明を割愛する。

【0098】まず、主面 915b 及び裏面 915c に厚さ約 16 μm の銅箔を貼り付けた、31mm \times 31mm の矩形で厚さ約 200 μm の両面銅張の第 1 コア基板本体 915 を用意する (図 17 参照)。そして、第 1 コア基板本体 915 の所定の位置に、レーザまたはドリルによって、図 17 に拡大して示すように、直径約 100 μm のスルーホール 911 を形成する。次いで、無電解銅メッキ、及び電解銅メッキを施し、各スルーホール 911 の内壁に沿って厚さ約 30 μm のスルーホール導体 912、及び主面 915b と裏面 915c に銅メッキ層 918 が形成される。次いで、スルーホール導体 912 の内側にエポキシ系樹脂を充填し、充填樹脂 913 を形成する。さらに、主面 915b 及び裏面 915c に全面銅

メッキを行い、充填樹脂913を覆うように蓋メッキを行う。そして、裏面915c側の銅メッキ層918を所定パターンにエッチングし、コンデンサ接続パッド969と配線層917とを形成する。さらに、裏面915c上の所定の位置にエポキシ系樹脂からなるソルダーレジスト層966を形成する。以上のようにして、図17に示すような、第1コア部910を含む第1コア基板919を形成する。

【0099】また、図18に示すような主面925b及び裏面925cに厚さ約16 μ mの銅箔を貼り付けた、31mm \times 31mmの矩形で厚さ約800 μ mの片面銅張の第2コア基板本体925を用意する。そして、第2コア基板本体925の主面925b側を、エンドミルによって座ぐり加工することにより、図18(a)に示すような平面視略口字状の凹溝923を、第2コア基板本体925の中央部に形成する。次いで、主面925b側の銅箔をエッチングして、凹溝923の周囲に配線層927を形成する。このようにして、図18(b)に示すような第2コア部920を含む第2コア基板929を形成する。

【0100】次に、図19に示すように、第1コア基板919の裏面919cと第2コア基板929の主面929bとの間に、接着性のあるブリブレッグからなる接着層968を配置して、加熱・押圧することによって、第1コア基板919と第2コア基板929とを接着・積層する。なお、このとき、過剰な接着層968がある場合は、凹溝923内に収容される。次いで、この周縁部分の所定の位置にレーザまたはドリルによって穿孔し、この厚さ方向に貫通する直径約100 μ mのスルーホール961を形成する。

【0101】次いで、図19に示すように、無電解銅メッキ、及び電解銅メッキを施し、各スルーホール961の内壁に沿って厚さ約30 μ mのスルーホール導体962、及び主面964b上と裏面964c上に図示しない銅メッキ層が形成される。次いで、スルーホール導体962の内側にエポキシ系樹脂を充填し、充填樹脂963を形成する。さらに、主面964b及び裏面964cに全面銅メッキを行い、充填樹脂963を覆うように蓋メッキを行う。そして、主面964b上の銅メッキ層を実施形態1と同様のパターンにエッチングして変換導体層946と配線層945とを形成する。また、コア裏面960c上の銅メッキ層を実施形態1と同様にエッチングし、パッド928を形成する。以上のようにして、図19に示すようなコア基板本体964を形成する。

【0102】次に、2つのコア基板本体964の裏面964c同士を、その外周縁より外側の不要部964d（図19の左右下面）で貼りあわせて、図示しない一対のコア基板本体964とする。次いで、一対のコア基板本体964のうち2つの主面964b（960b）について、以下の工程を同時に行う。まず、図20に示すよ

うに、主面964b（960b）上に主面側樹脂絶縁層930を形成し、さらに、実施形態1と同様に、変換導体層946上の所定の位置にビア導体933を形成する。同様に、公知のビルドアップ工法によって、配線層126、主面側樹脂絶縁層121、ビア導体127、パッド128、ソルダーレジスト層122を順次形成する。次いで、パッド128にハンダペーストを塗布し、ハンダペーストの溶融しない温度でリフローして、バンブ129を形成する。

【0103】このように、2つのコア基板本体964を貼りあわせて、同時に樹脂絶縁層等を積層するのは、2つのコア基板本体964を貼りあわせることによって、樹脂絶縁層等の積層時に基板が反るのを防止することができるからである。次に、コア基板本体964同士を貼りあわせている不要部で切り離して、一対のコア基板本体964に樹脂絶縁層等を積層したものを分離する。その後、コア基板本体964の裏面964c上に所定パターンのソルダーレジスト層967を形成する。次に、コア基板本体964の裏面964c側から、図19に二点鎖線で示すように、凹溝923の裏側にエンドミルによって凹溝（二点鎖線部分）を形成し、第2コア基板929の中央部分を切り離して除去し、凹部965を形成する。（このとき、コア基板本体964がコア基板960となる。）こうして、図21に示すような配線基板本体901が完成する。

【0104】以上に説明したように、配線基板本体901は、肉薄の第1コア基板919に接着層968を介して肉厚の第2コア基板929を積層し、コア基板本体964を形成した後、このような十分な強度を持つコア基板本体964の主面964b上に絶縁樹脂層及び配線層を積層している。従って、コア基板本体964の片面にだけ樹脂絶縁層が積層されていても、従来のような補強材を取り付けることが不要となり、低コストで製造することが可能となる。

【0105】その後、チップコンデンサ160を配線基板本体901の凹部965内に配置し、端子162bの上面部163b（第1端子）と第1コンデンサ接続パッド949pとを、及び端子162cの上面部163c（第2端子）と第2コンデンサ接続パッド949gとを接続させる。このようにして、配線基板900が完成する。その後さらに、端子162bの下面部165b及び端子162cの下面部165cを露出するようにして凹部965内に樹脂を充填し、コンデンサ160を埋め込んでも良い。

【0106】上記の配線基板900は、実施形態1と同様に、チップコンデンサ160を多数搭載しているため、ノイズを確実に除去できる上、複数のチップコンデンサ160を並列に接続しているので、搭載するコンデンサ全体としてのインダクタンスも低減させることができる。しかも、各チップコンデンサ160について見る

と、隣り合って対向する端子162同士の極性が異なり、流れる電流の向きが逆向きになる。このため、インダクタンスをさらに減少させることができ、より一層、低インダクタンスでICチップ10とコンデンサ160とを接続することができる。

【0107】また、配線基板900では、チップコンデンサ160を、凹部965内に搭載している。従って、主面901b上に搭載するIC10とチップコンデンサ160とが凹部965の底面965bを挟んで略対向するように搭載される。このため、凹部が形成されていない両面積層配線基板と比較して、配線基板の主面側接続端子（バンプ）とチップコンデンサの第1端子（上面部）及び第2端子（上面部）との距離を短くし、さらに、主面上に搭載するICとチップコンデンサとの距離を短くすることができる。従って、凹部が形成されていない両面積層配線基板と比較して、短い経路で配線基板の主面側接続端子（バンプ）とチップコンデンサの第1端子（上面部）及び第2端子（上面部）とを接続することが可能になり、これらの経路で発生する抵抗成分やインダクタンス成分を抑制できる。

【0108】以上において、本発明を実施形態1、2、3、及び変形形態1～5に即して説明したが、本発明は上記実施形態及び変形形態に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。例えば、上記実施形態1、2、3では、主面側樹脂絶縁層の上方（ICチップ側）及び裏面側樹脂絶縁層の下方（チップコンデンサ側）にそれぞれソルダーレジスト層122、142、822、842、966、967を形成したが、ソルダーレジスト層を形成しないで形態の配線基板としても良い。また、実施形態1、2では、コア基板本体111、811の上下に、1層ずつ主面側及び裏面側樹脂絶縁層121、141、821、841を形成したが、さらに多数の樹脂絶縁層を積層した配線基板にも適用することができる。同様に、実施形態3では、コア基板960のコア主面960b上に主面側樹脂絶縁層930、121を形成したが、さらに多数の主面側樹脂絶縁層を積層した配線基板にも適用することができる。また、第2コア部920の裏面920c上には裏面絶縁層を形成していないが、複数の裏面絶縁層を積層した配線基板にも適用することができる。

【0109】また、上記実施形態1、2、3においては、図示しないマザーボード等から裏面101c、801c、901c側の周縁部分に形成した接続パッド148、928を経由して、電源電位あるいは接地電位をチップコンデンサ160及びバンプ129、829に供給する例を示した。しかし、チップコンデンサ160の端子162（下面部164）とマザーボード等の端子とを直接接続して、電源電位あるいは接地電位をチップコンデンサ160及びバンプ129、829に供給するよう

にしても良い。

【0110】また、上記実施形態及び変形形態においては、いずれも変換導体層全体にわたって、第1変換導体層と第2変換導体層が交互に並ぶストライプ状のパターンとされているものを例示したが、一部をストライプ状パターンとしても良い。さらに、上記実施形態2、3では、変換導体層849、946のパターンを、実施形態1と同様なパターンとした。しかし、実施形態2に示す配線基板800及び実施形態3に示す配線基板900においても、変換導体層849、946のパターンは、他のものでも良く、例えば、変形形態1のパターンを用いることもできる。さらに、実施形態2、3に用いるチップコンデンサ及び変換導体層のパターンとして、変形形態2、3、4、5に示すチップコンデンサ及び変換導体層のパターンを用いるなど、チップコンデンサの形態についても適宜変更して用いることができる。

【0111】さらに、上記実施形態1、2では、配線基板100等の中心の絶縁層としてコア基板本体111、811を用いたものを示したが、本発明をコア基板本体111等を用いない配線基板に適用することもできる。また、実施形態1、2では、コア基板本体111、811の裏面側（図中下側）に変換導体層146、849を形成したが、主面側（図中上側）、例えば、コア基板本体111の上面111bに、あるいは、主面側樹脂絶縁層同士の層間や主面側樹脂絶縁層とソルダーレジスト層との間などに形成することもできる。同様に、実施形態3では、層間952（第1コア部910の主面910b上）に変換導体層946を形成したが、その他の層間、例えば951に形成することもできる。また、実施形態1、2、3では、バンプ129、829同士の間隔よりも、コア基板本体111、主面側樹脂絶縁層930等に形成したスルーホール導体113、ビア導体933等同士の間隔を大きくしたものを示したが、スルーホール導体同士の間隔とバンプ同士の間隔とがほぼ同一のものにも、本発明を適用することができる。

【0112】また、実施形態2においては、コア基板本体811の上面811b（層間151）に形成した配線層826で、ビア導体827とスルーホール導体813との位置を調整することで、スルーホール導体813とビア導体847との位置調整を不要として、ビア導体847を変換導体層849と接続させた。しかし、配線層846によって、スルーホール導体813とビア導体847との位置調整を行うようにしても良く、さらには、配線層826と846の両方で位置調整を行うようにしても良い。

【図面の簡単な説明】

【図1】実施形態1にかかる配線基板の断面図である。

【図2】縦横格子状に配列させたチップコンデンサの各端子の電位を示す説明図である。

【図3】縦横格子状に配列させたチップコンデンサの様

子及び側面部を流れる電流の方向を示す斜視説明図である。

【図4】変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図5】変換導体層と主面側からこの変換導体層に接続するビア導体とチップコンデンサの各端子との関係を示す説明図である。

【図6】実施形態1、2にかかる配線基板の他の断面図である。

【図7】実施形態1、2、3にかかり、隣り合う変換導体層を流れる電流の相互の関係を示す説明図である。

【図8】変形形態1にかかる配線基板において、変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図9】変形形態2にかかる配線基板において、変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図10】変形形態3にかかる配線基板において、変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図11】変形形態4にかかる配線基板において、変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図12】変形形態5にかかる配線基板において、変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図13】実施形態2にかかる配線基板の断面図である。

【図14】実施形態2にかかる配線基板の他の断面図である。

【図15】実施形態2にかかり、変換導体層とチップコンデンサの各端子との関係を示す説明図である。

【図16】実施形態3にかかる配線基板の断面図である。

【図17】実施形態3にかかる配線基板900の第1コア基板919の断面図である。

【図18】実施形態3にかかる配線基板900の第2コア基板929を示す図であり、(a)はその上面図、(b)はそのA-A断面拡大図である。

【図19】実施形態3にかかる配線基板900のコア基板本体964の断面図である。

【図20】実施形態3にかかる配線基板900の配線基板本体901の断面図である。

【図21】実施形態3にかかる配線基板の他の断面図である。

【図22】基板の主面や裏面にチップコンデンサを搭載した従来の配線基板を示す説明図である。

【符号の説明】

100、800、900 配線基板

101、801、901 配線基板本体

101b、801b、901b 主面

101c、801c、901c 裏面

110、810、960 コア基板

910 第1コア部

920 第2コア部

111、811 コア基板本体(絶縁層)

112、113、812、813、962 スルーホール導体

121、821、930 主面側樹脂絶縁層(絶縁層)

122、142、822、842、966、967 ソルダーレジスト層

127、827 ビア導体

128、828 パッド

129、829 バンプ(主面側接続端子)

141 裏面側樹脂絶縁層(絶縁層)

841 裏面側樹脂絶縁層(最裏面側絶縁層)

146、246、346、446、546、646、849、946 変換導体層

20 146p、246p、346p、446p、546p、646p、849p、946p 第1変換導体層

146g、246g、346g、446g、546g、646g、849g、946g 第2変換導体層

149p、949p 第1コンデンサ接続パッド(第1コンデンサ接続端子)

149g、949g 第2コンデンサ接続パッド(第2コンデンサ接続端子)

152、952 層間(特定層間)

30 151、153、154、851、852、853、854、951、953、954 層間

965 凹部

970 凹周囲部

160、360、560 チップコンデンサ

160u、360u、560u チップコンデンサの上面(第1面)

161、361、561 チップコンデンサ本体

161u、361u、561u チップコンデンサ本体の上面

161s、361s チップコンデンサ本体の側面

161e、161f 電極層(電極)

162、362 コンデンサ端子

163b、363b 上面部(第1端子)

163c、363c 上面部(第2端子)

164b、164c 側面部

165b、165c 下面部

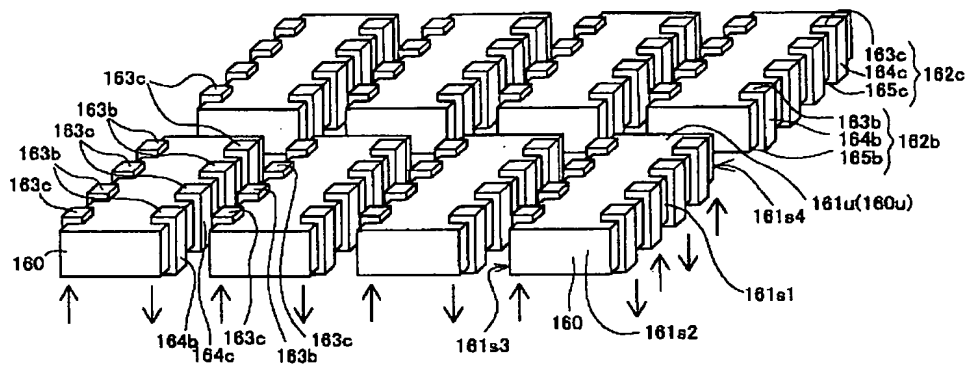
563b 端子(第1端子)

563c 端子(第2端子)

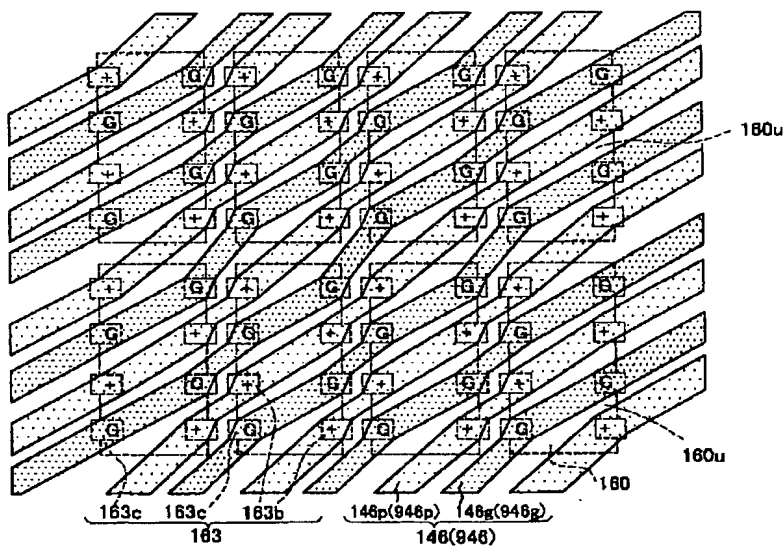
41 逆向き電流部分

FIG. 1 is a cross-sectional view of a semiconductor device 901. The device is formed on a substrate 960. A top layer 968 and a bottom layer 966 are formed on the substrate. A series of vertical pillars 948g and 948p are formed in the top layer 968. The pillars 948g are connected to a top contact layer 945, which is in turn connected to a top electrode layer 949. The pillars 948p are connected to a bottom contact layer 945, which is in turn connected to a bottom electrode layer 949. The device is surrounded by a protective layer 962. Various other layers and structures are labeled with reference numerals.

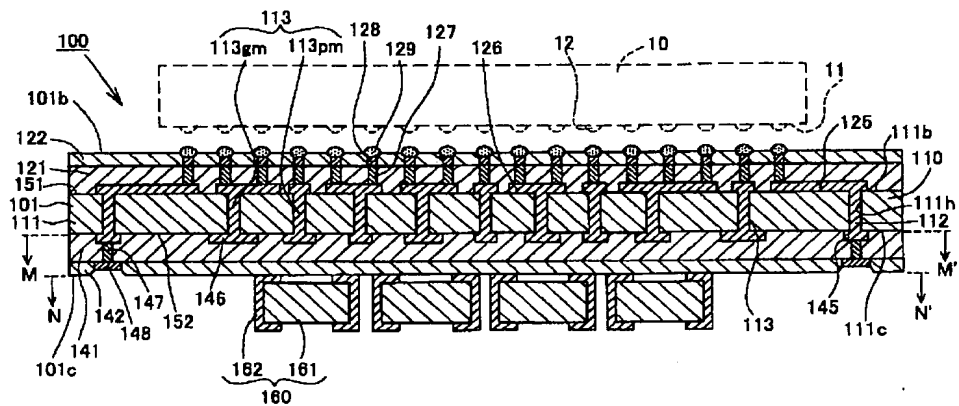
【図3】



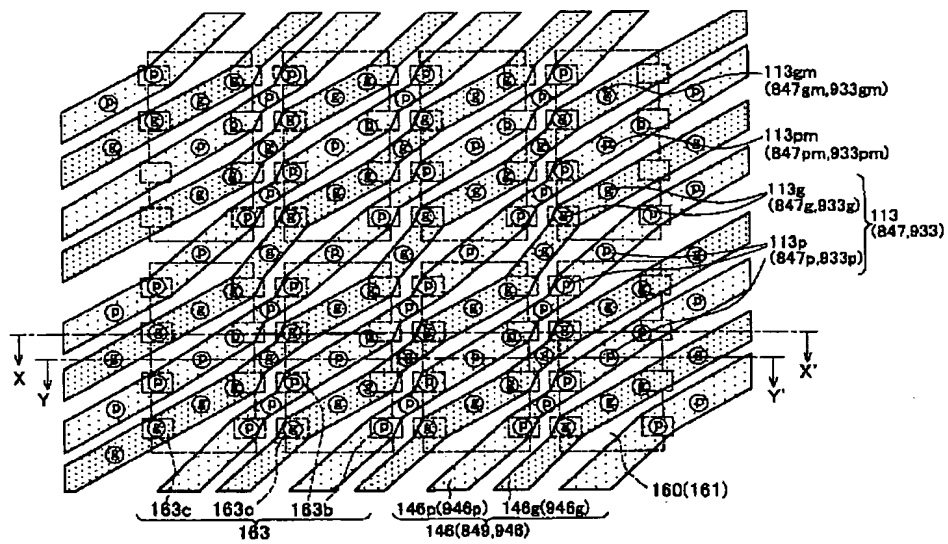
【図4】



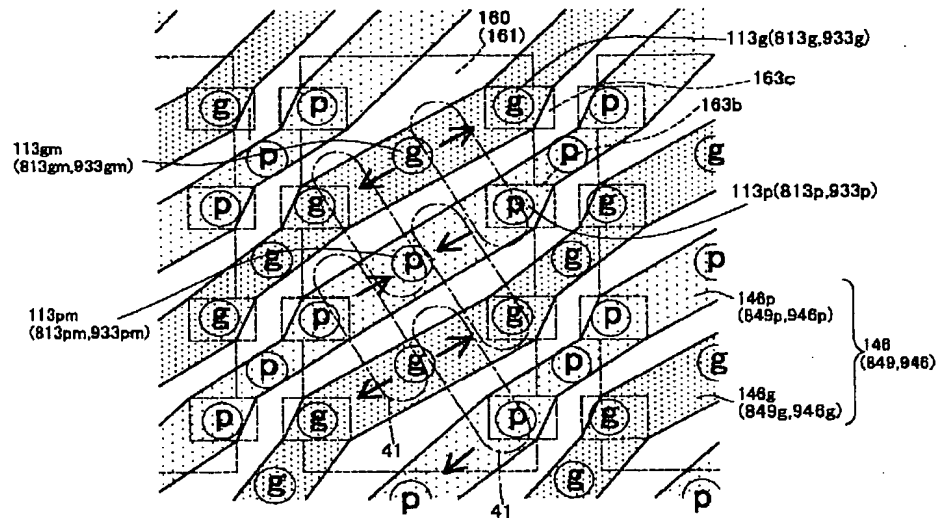
【図6】



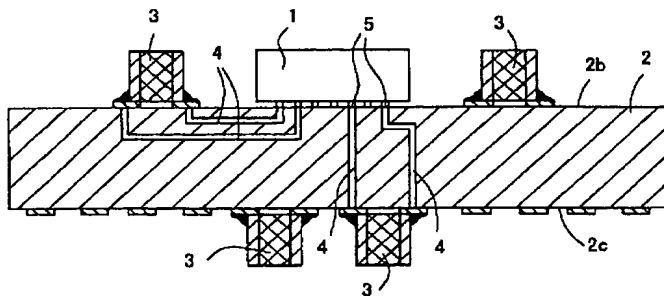
【図5】



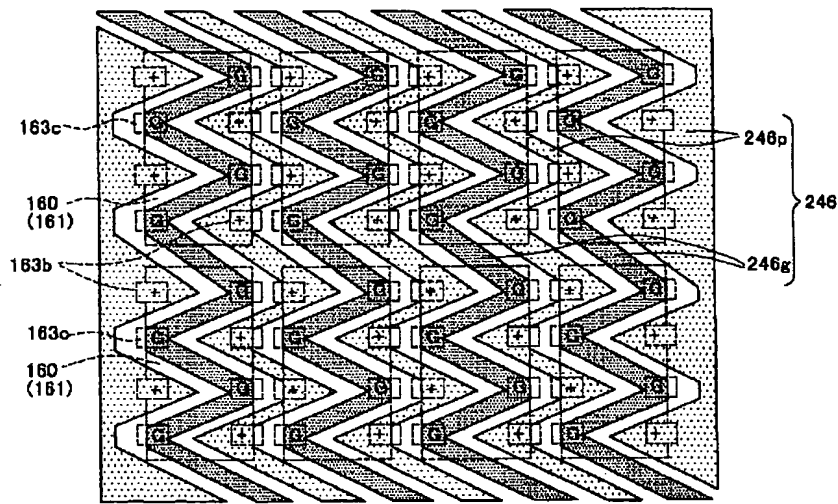
【図7】



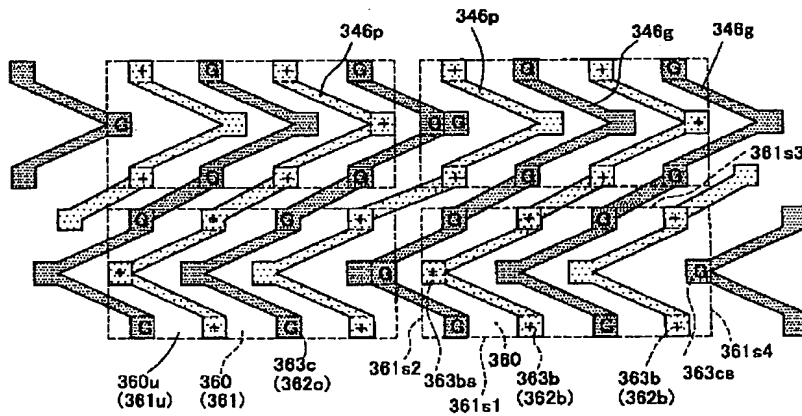
【図22】



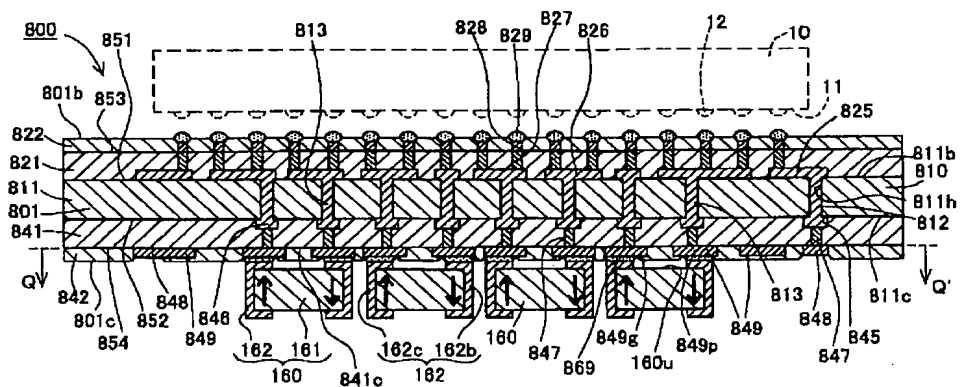
【図8】



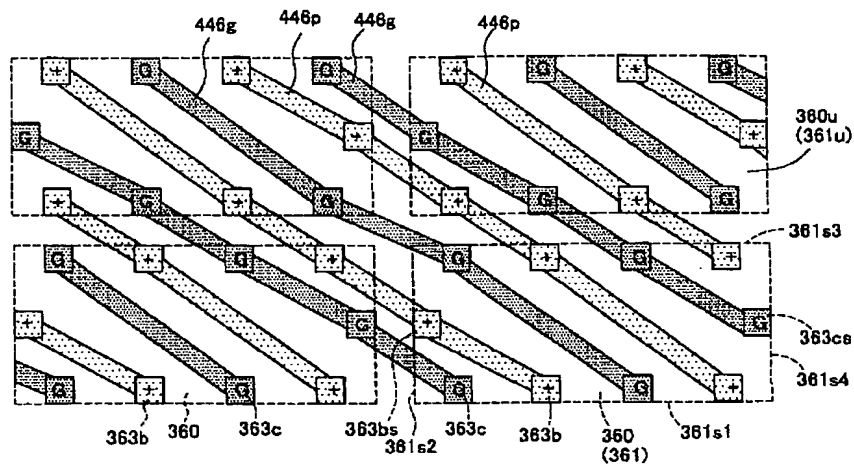
【図9】



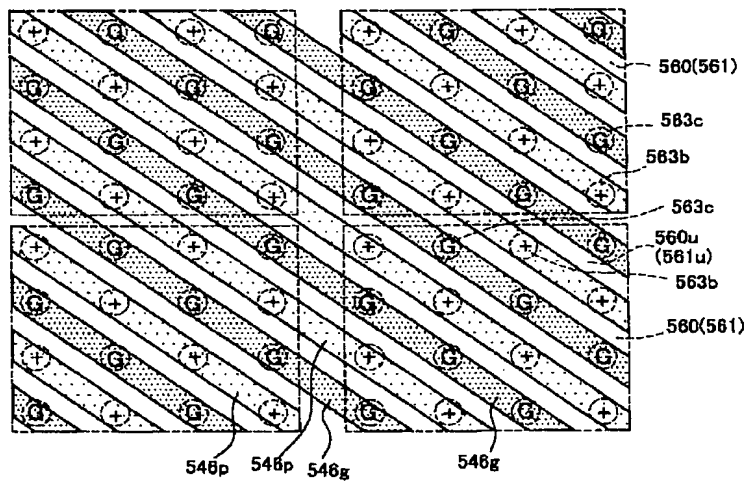
【図13】



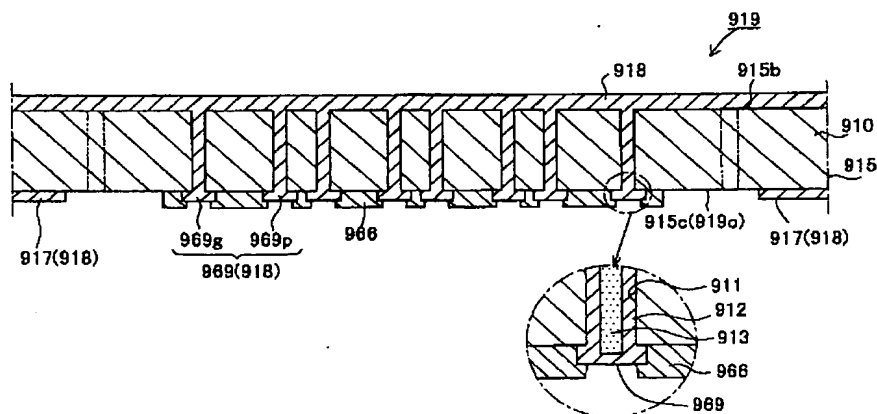
【図10】



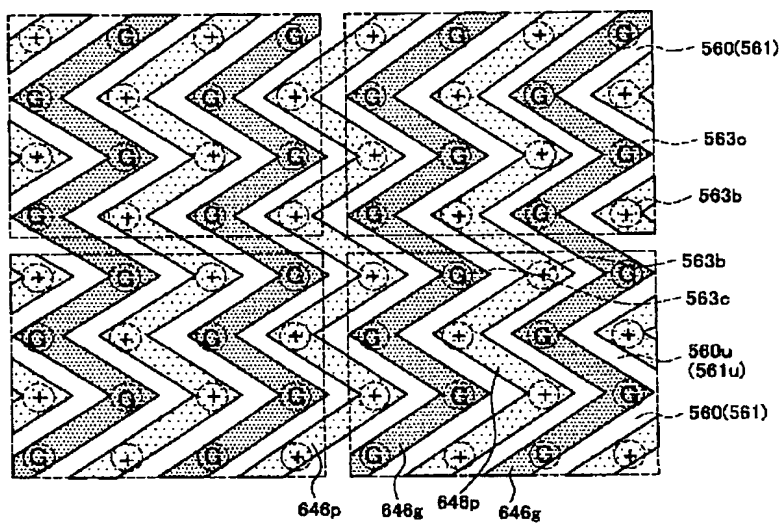
【図11】



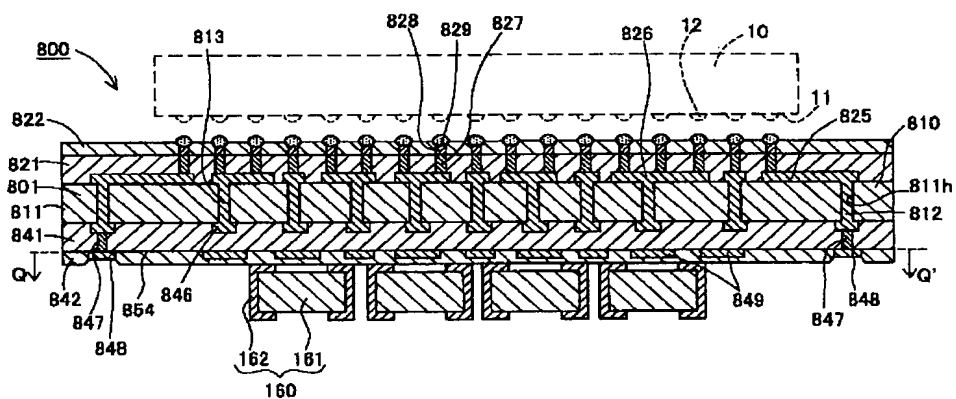
【図17】



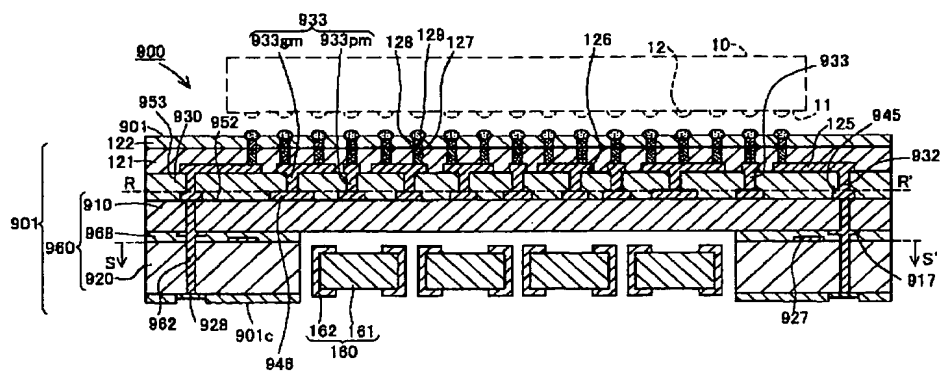
〔図 12〕



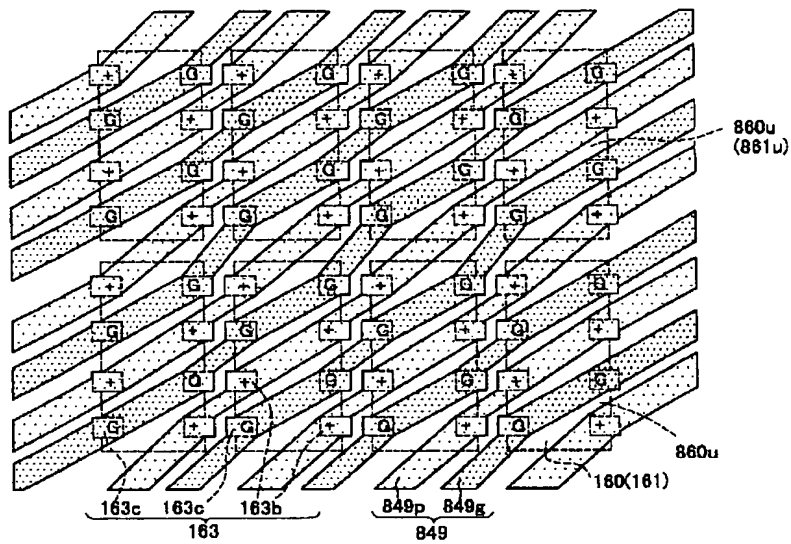
〔図 14〕



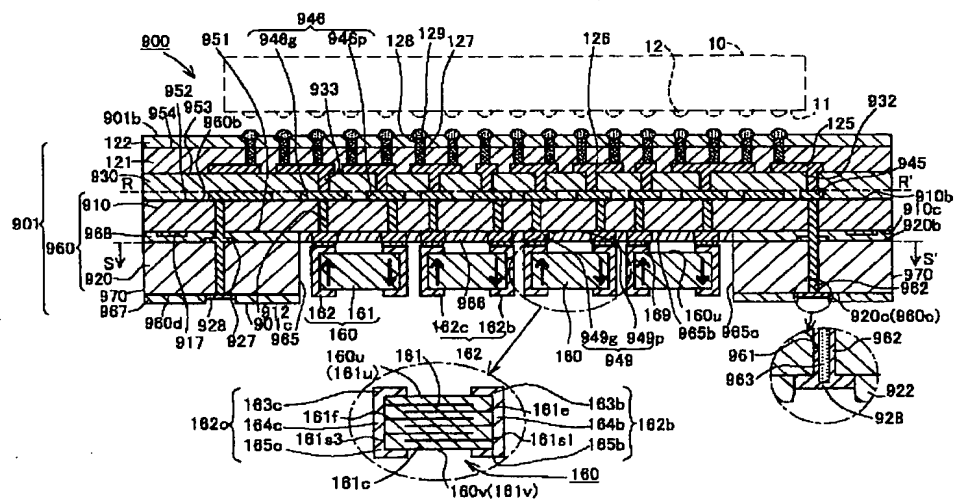
〔図 21〕



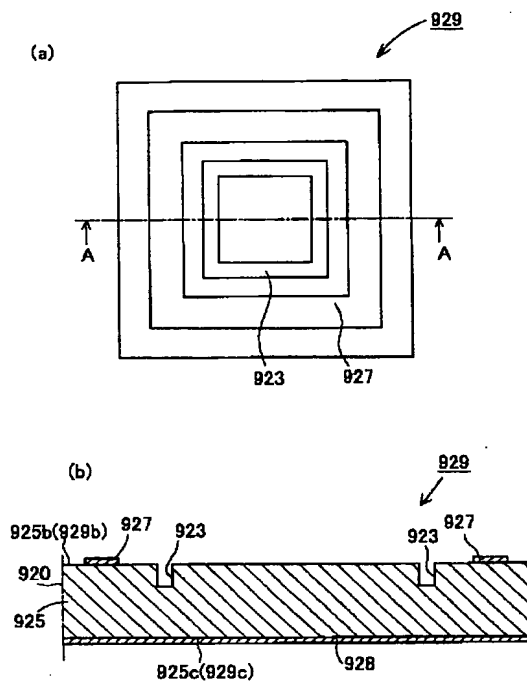
【図15】



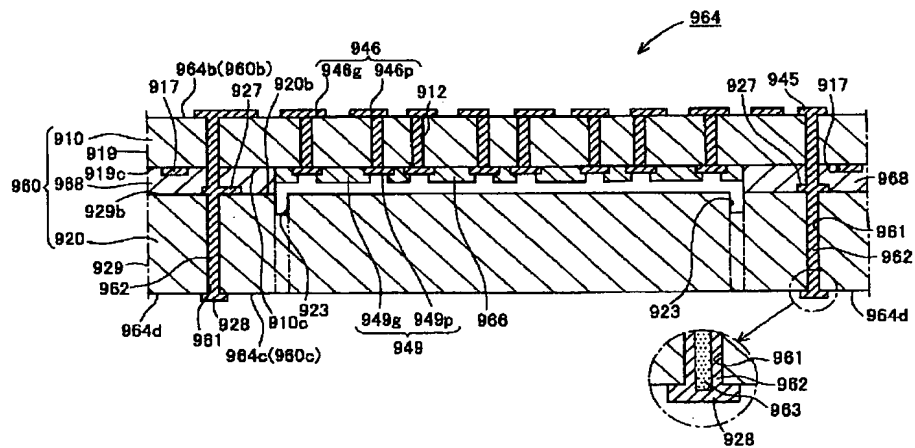
【図16】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.⁷H05K 1/11
1/18

識別記号

FI

H05K 1/11
1/18

テーマコード(参考)

N
J
R
S

F ターム(参考) 5E317 AA24 BB01 BB11 CC17 CC31
CD34 GG11
5E336 AA04 AA08 AA12 AA14 BB03
BC26 BC34 CC32 CC43 CC53
CC55 EE01 GG11
5E338 AA03 BB03 BB12 BB19 BB25
BB63 BB75 CC01 CC04 CC06
CD01 CD12 CD13 CD32 EE13
5E346 AA06 AA12 AA15 AA35 AA43
BB02 BB03 BB04 BB06 BB11
BB16 CC01 CC31 FF01 FF45
GG40 HH01 HH21

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.